

明新科技大學 校內專題研究計畫成果報告

接觸蝕刻截止層厚度應變對奈米等級矽電晶體之電特性與可靠性研究

Electrical characteristics and device reliability of nano-scale MOSFETs under CESL thickness strain

計畫類別：任務型計畫 整合型計畫 個人計畫

計畫編號：MUST-101 電子-1

執行期間：101 年 01 月 01 日至 101 年 09 月 30 日

計畫主持人：陳肇業

共同主持人：王木俊

計畫參與人員：杜重寬/ 吳國維

處理方式：公開於校網頁

執行單位：明新科技大學/電子工程系

中 華 民 國 101 年 09 月 30 日

明新科技大學校內專題成果報告

公開授權書

(提供本校辦理紙本與電子全文授權管理用)

本授權書為明新科技大學校內專題研究計畫成果報告授權人：陳肇業在明新科技大學
工學院 電子系所 101 年度校內專題研究計畫。

研究計畫編號：MUST-101 電子-1

研究計畫名稱：接觸蝕刻截止層厚度應變對奈米等級矽電晶體之電特性與可靠性研究

計畫類型：個人計畫

執行期限：101 年 01 月 01 日 至 101 年 09 月 30 日

茲同意將授權人擁有研究之上列成果報告：紙本授權全文公開陳列於本校圖書館，為學術研究之目的以各種方法重製，或為上述目的再授權他人以各種方法重製，不限地域與時間，惟每人以一份為限；成果報告之電子檔（含摘要），本校圖書館保留以供文獻典藏使用，但可依使用權限授權於網路公開，提供讀者非營利性質之免費線上檢索、閱覽、下載或列印。

成果報告之電子檔案使用權限授權，請勾選下列一項：

- 校內外立即公開全文(含摘要)
- 校內外立即公開摘要，校內立即公開全文，一年後校外公開全文
- 校內外僅於公開摘要，校內立即公開全文，校外永不公開全文

授權人：

陳肇業

(請親筆正楷簽名)

E-mail: mucwang@must.edu.tw

中 華 民 國 101 年 09 月 30 日

中文摘要

隨著半導體生產技術的進步，金氧半場效電晶體已從 100 微米的世代進入到 28 奈米或更小的世代，遵循摩爾定律(Moore's law)的原則下，作元件尺寸大小的微縮，如何不因尺寸微縮而仍然可提升元件效能，已成為每一個製程世代，積極解決的主要目標之一。近年來，其他學者提出應變矽技術以提高元件的載子遷移率，進而提升元件的驅動電流。一般而言，此應變技術是以利用矽與鍺的晶格常數不同造成匹配不均，來產生電晶體通道(矽鍺通道)形變，其技術大致可分為單軸應變和雙軸應變。為因應 n/pMOSFET 對應變通道之需求不同，改以單軸應變在 X、Y、Z 得到不同載子遷移率的變化，分別提高電子或電洞之遷移率，最有可能被導入量產。

由文獻指出，X、Y 平面位於拉伸應力下，電子或電洞的載子遷移率，皆有明顯的提高。對於 p 通道元件而言，電洞載子遷移率的增加是由於有效載子質量(Effective mass)的減少；對於 n 通道電晶體載子遷移率增加而言，則為載子在電子的谷間散射(Inter-valley scattering)情況與能帶間的散射(Inter-band scattering)情況減少有關，而增加遷移率(Mobility)。

本研究將針對奈米製程接觸窗蝕刻停止層(CESL)壓縮應變於(110)MOS 元件上，瞭解探究不同矽覆蓋層與溫度下，此等矽電晶體之電特性尤其在接面效能之研究，並針對 p 型元件作分析，由文獻指出，n 型元件在 CESL 壓縮應變對元件的效能不是很理想。此次元件溫度應力分別從 25°C 至 125°C，也將作分析與比較，並且分析不同 Si-cap 厚度(24Å & 39Å)與無應變之對照組做比較，再進一步的去探討，對元件接面漏電流部分有何影響。而可靠性部分也將有些許著墨。

關鍵詞：接觸窗蝕刻停止層、金氧半場效電晶體、應變矽技術、矽鍺通道、載子遷移率、能帶間的散射、矽覆蓋層、接面漏電流

Abstract

With the semiconductor production technology promotion, the MOSFET manufacturing technology was evolved from 100-um node to 28-nm node or beyond, following the Moore's law to shrink the feature sizes of the transistor devices, especially in gate length and width. How to promote the device performance under device shrinkage is a huge task and one of the mainly improved objectives for each advanced process evolution. Generally, the strained channel, SiGe channel, of MOSFET was fabricated by the lattice length mismatch between Si and Ge atoms. The SiGe channel was usually performed with uni-axial and bi-axial strained technology. To fit the requirements of electron/hole mobility in strained n/pMOSFET, respectively, the uni-axial strained technology is essential which provides the respective strained directions, X-, Y- and Z-directions.

Some literatures had pointed out that the electron mobility and the hole mobility were obviously promoted with the tensile strain in X-Y plane. For p-channel device, the increase of hole mobility is possibly attributed to the reduction of effective hole mass. For n-channel device, the carrier mobility is increased by the reduction in both inter-valley scattering and inter-band scattering.

In this work, we will discuss the junction efficiency for (110) nano-regime CESL strained MOS devices with different Si capping layers and temperatures, and analyze the electrical characteristics of p-type devices. Some literatures mentioned that the n-type devices in the CESL compressive strain illustrated the weak performance. Therefore, it will be ignored in this study. In this work, the temperature stress on the devices varied from 25°C to 125°C. The characteristic analysis among different Si-cap thicknesses (24Å and 39Å) and the non-strained will be executed. Furthermore, the edge or bulk junction leakage among them will be probed and correlate the related failure mechanisms. The device reliability will be somewhat mentioned.

Keywords : CESL, MOSFET, strained silicon technology, SiGe channel, carrier mobility, Inter-band scattering, Si capping layer, junction leakage.

目錄

第一章	緒論	1
	1.1 簡介	1
	1.2 研究動機	2
第二章	元件物理概論	3
	2.1 半導體材料	3
	2.2 能帶與能隙	4
	2.3 載子的傳輸方式	5
	2.4 p-n 接面	8
	2.4.1 擴散電流	8
	2.4.2 空乏區寬度	12
	2.4.3 空間電荷	13
	2.5 MOSFET 元件物理特性	15
	2.6 MOSFET 能帶圖	17
	2.7 反轉層	19
	2.8 MOSFET 元件輸出特性曲線	23
	2.8.1 截止區 (Cutoff region)	23
	2.8.2 線性區 (Linear region)	23
	2.8.3 飽和區 (Saturation region)	25
	2.9 MOSFET 元件轉移特性	26
	2.10 其他重要元件之參數	27
	2.10.1 臨界電壓特性	27
	2.10.2 次臨界特性	28
	2.10.3 遷移率退化	29
	2.11 短通道效應	29
	2.11.1 通道長度調變效應	30
	2.11.2 臨界電壓下滑	31
	2.11.3 汲極引發的能障下降	33
	2.11.4 貫穿	33
	2.12 密勒指數	35
	2.12.1 表面密度	37
	2.12.2 蝕刻速率	38
	2.12.3 非等向蝕刻液	39
第三章	應變矽元件	41
	3.1 應變矽元件簡介	41
	3.2 全面性應變矽元件特性	41
	3.2.1 全面性應變矽之物理機制	42
	3.3 局部性應變矽元件特性	42
	3.3.1 非共度成長	45
	3.3.2 共度成長	46
	3.4 應變矽元件面臨之問題	47
	3.5 應變矽元件應用	48
第四章	實驗與結果	51

4.1 整體實驗架構說明	51
4.1.1 八吋半導體手動探針量測平台 (Probe station)	51
4.1.2 半導體參數分析儀 Agilent 4156C	52
4.1.3 Agilent E5250A	53
4.2 元件介紹	54
4.3 實驗條件	57
4.3.1 I_D - V_D 特性曲線	57
4.3.2 I_D - V_G 特性曲線	57
4.4 實驗結果	57
4.4.1 第一階段實驗	57
4.4.1.1 第一階段之 I_D - V_D 特性曲線，溫度 25°C	58
4.4.1.2 第一階段之 I_D - V_G 特性曲線，溫度 25°C	59
4.4.2 第二階段實驗	63
4.4.2.1 第二階段之 I_D - V_D 特性曲線，溫度 75°C	63
4.4.2.2 第二階段之 I_D - V_G 特性曲線，溫度 75°C	64
4.4.3 第三階段實驗	67
4.4.3.1 第三階段之 I_D - V_D 特性曲線，溫度 125°C	67
4.4.3.2 第三階段之 I_D - V_G 特性曲線，溫度 125°C	68
第五章 結論	72
參考文獻	75
計畫成果自評	
運用於教學成果記錄表	

表目錄

表 2.1	元素與化合物半導體[5].....	3
表 2.2	在矽與鍺中，不同的金屬功函數與能障高度表[7].....	18
表 2.3	非等向蝕刻液的比較[12].....	42
表 3.1	不同方向的 Local strain 對 CMOS 的影響.....	44
表 3.2	全面性應變矽與局部性應變矽的優缺點比較[18].....	47
表 3.3	為各種技術對於各種應變方式的比較.....	47
表 3.4	各材料的傳導係數[11].....	48
表 4.1	Agilent 4156C 功能表.....	53
表 4.2	第一階段之次臨界斜率比較.....	61
表 4.3	Non-strained PN 接面漏電流之比較，溫度 25°C.....	62
表 4.4	Si-cap 24Å PN 接面漏電流之比較，溫度 25°C.....	62
表 4.5	Si-cap 39Å PN 接面漏電流之比較，溫度 25°C.....	62
表 4.6	第二階段之次臨界斜率比較.....	65
表 4.7	Non-strained PN 接面漏電流之比較，溫度 75°C.....	66
表 4.8	Si-cap 24Å PN 接面漏電流之比較，溫度 75°C.....	66
表 4.9	Si-cap 39Å PN 接面漏電流之比較，溫度 75°C.....	66
表 4.10	第三階段之次臨界斜率比較.....	70
表 4.11	Non-strained PN 接面漏電流之比較，溫度 125°C.....	70
表 4.12	Si-cap 24Å PN 接面漏電流之比較，溫度 125°C.....	70
表 4.13	Si-cap 39Å PN 接面漏電流之比較，溫度 125°C.....	70

圖目錄

圖 2.1	p 型與 n 型半導體材料與能帶圖[11]	4
圖 2.2	p 型與 n 型電子電洞佔據示意圖[11]	5
圖 2.3	載子行進的路徑[6]	6
圖 2.4	p-n 二極體之基本結構	8
圖 2.5	nMOSFET 之 p-n 結構	8
圖 2.6	擴散電流流動示意圖	9
圖 2.7	濃度與空間位置之電流密度	9
圖 2.8	未施加偏壓之 p-n 接面空乏區	10
圖 2.9	p-n 接面各區載子體濃度分佈	11
圖 2.10	電荷密度、電場與電壓分佈圖	14
圖 2.11	金屬-氧化層-半導體之能帶圖[7]	16
圖 2.12	MOSFET 結構圖	17
圖 2.13	金屬-氧化層-半導體之能帶圖[7]	17
圖 2.14	閘極負偏壓之能帶圖[7]	18
圖 2.15	MOS 於空乏區(a)能帶圖(b)電荷分佈圖[7]	21
圖 2.16	MOS 於反轉層(a)能帶圖(b)電荷分佈圖[7]	21
圖 2.17	nMOSFET 通道形成示意圖	22
圖 2.18	nMOSFET 元件輸出特性曲線	23
圖 2.19	nMOSFET 線性區(a)通道形成示意圖(b)元件輸出特性曲線[8]	23
圖 2.20	nMOSFET 剛進入飽和區(a)通道形成示意圖(b)元件輸出特性曲線[8]	24
圖 2.21	nMOSFET 飽和區(a)通道形成示意圖(b)元件輸出特性曲線[8]	24
圖 2.22	轉移特性曲線(I_D - V_G)	26
圖 2.23	轉移電導 G_m	27
圖 2.24	n 型 MOSFET 通道中的電子受到電場作用示意圖[11]	29
圖 2.25	通道長度調變示意圖	30
圖 2.26	長度調變效應特性曲線	31
圖 2.27	於 $0.15\mu\text{m}$ CMOS 技術之臨界電壓下滑情形[18]	32
圖 2.28	電荷共享模型示意圖[18]	32
圖 2.29	為 DIBL 短通道時發生在 nMOSFET 的示意圖[11]	33
圖 2.30	(a)到(c)為貫穿現象的示意圖(灰色區域為空乏區)[11]	34
圖 2.31	矽的鑽石晶格結構[12]	35
圖 2.32	密勒指數簡便算法	35
圖 2.33	不同平面方向之(100)、(110)、(111)	36
圖 2.34	矽的蝕刻圖案(a)<111>和(b)<100>長晶方向[13]	36
圖 2.35	矽{111}表面，具鋁合金區域，顯示鑽石晶格的對稱[13]	37
圖 2.36	(100)表面密度	39
圖 2.37	(110)表面密度	40
圖 2.38	(111)表面密度	40
圖 2.39	(111)面上之圖形[14]	41
圖 3.1	Si 晶格結構圖	40
圖 3.2	Ge 晶格結構圖	40
圖 3.3	Si-Ge 晶格結構圖	41

圖 3.4	全面應變矽電子、電洞遷移率增加結構圖[11]	41
圖 3.5	全面應變矽能谷變化圖[11]	42
圖 3.6	Strain 應力方向 3D 示意圖	43
圖 3.7	為局部應變矽在 n/p MOS 拉伸[18]	44
圖 3.8	為局部應變矽在 n/p MOS 壓縮[18]	44
圖 3.9	應變矽在 n/p MOS(a)拉伸和(b)壓縮的結構圖	45
圖 3.10	為非共度成長示意圖[15]	46
圖 3.11	為共度成長示意圖[15]	46
圖 4.1	量測實驗流程圖	50
圖 4.2	GPIB 介面控制卡	51
圖 4.3	八吋手動探針量測平台	52
圖 4.4	Agilent 4156C 外觀示意圖	53
圖 4.5	Agilent E5250A 外觀示意圖	54
圖 4.6	Agilent 4156C 自動量測系統示意圖	54
圖 4.7	應變矽元件製造程序[18]	55
圖 4.8	SiGe pMOSFET 結構圖	56
圖 4.9	元件的鳥瞰圖	56
圖 4.10	接面的圖形(a)Bulk(b)Fingers 類型	56
圖 4.11	第一階段應變矽元件之 p 型的 I_D-V_D ，元件尺寸為 $10\mu\text{m}/10\mu\text{m}$	58
圖 4.12	第一階段應變矽元件之 p 型的 I_D-V_D ，元件尺寸為 $10\mu\text{m}/0.08\mu\text{m}$	58
圖 4.13	第一階段應變矽元件之 p 型的 I_D-V_G ，元件尺寸為 $10\mu\text{m}/10\mu\text{m}$	60
圖 4.14	第一階段應變矽元件之 p 型的 I_D-V_G ，元件尺寸為 $10\mu\text{m}/0.08\mu\text{m}$	60
圖 4.15	第二階段應變矽元件之 p 型的 I_D-V_D ，元件尺寸為 $10\mu\text{m}/10\mu\text{m}$	63
圖 4.16	第二階段應變矽元件之 p 型的 I_D-V_D ，元件尺寸為 $10\mu\text{m}/0.08\mu\text{m}$	64
圖 4.17	第二階段應變矽元件之 p 型的 I_D-V_G ，元件尺寸為 $10\mu\text{m}/10\mu\text{m}$	65
圖 4.18	第二階段應變矽元件之 p 型的 I_D-V_G ，元件尺寸為 $10\mu\text{m}/0.08\mu\text{m}$	65
圖 4.19	第三階段應變矽元件之 p 型的 I_D-V_D ，元件尺寸為 $10\mu\text{m}/10\mu\text{m}$	67
圖 4.20	第三階段應變矽元件之 p 型的 I_D-V_D ，元件尺寸為 $10\mu\text{m}/0.08\mu\text{m}$	68
圖 4.21	第三階段應變矽元件之 p 型的 I_D-V_G ，元件尺寸為 $10\mu\text{m}/10\mu\text{m}$	69
圖 4.22	第三階段應變矽元件之 p 型的 I_D-V_G ，元件尺寸為 $10\mu\text{m}/0.08\mu\text{m}$	69
圖 5.1	p 型元件界面漏電流與溫度，元件尺寸為 $10\mu\text{m}/10\mu\text{m}$	72
圖 5.2	p 型元件遷移率與溫度，元件尺寸為 $10\mu\text{m}/10\mu\text{m}$	73
圖 5.3	p 型元件界面漏電流與溫度，元件尺寸為 $10\mu\text{m}/0.08\mu\text{m}$	73
圖 5.4	p 型元件遷移率與溫度，元件尺寸為 $10\mu\text{m}/0.08\mu\text{m}$	74

第一章 緒論

1.1 簡介

因著全球電子產業技術的進步，台灣半導體產業較為成熟，從早期的 0.8 微米進入到 45 奈米或更小的尺寸元件，在奈米等級的產品世代中，亦將會趨向於高速和低電量的 IC 產品設計。在目前發展超大型積體電路(Ultra large scale integrated circuit, ULSI)的過程中，為了不斷地提高電路的高積集化程度和操作速度，元件的尺寸是必須做得越來越小，但元件尺寸的持續縮小化，終究會遭遇到傳統製程及物理的限制，因此，元件閘極的通道長度或閘極氧化層厚度的微縮或製程突破已是必要的趨勢。隨著製程技術不斷地進步和尺寸越縮越小趨勢下，將會出現不可避免各種短通道效應，以及增加閘極氧化層間漏電流的產生。為了解決這樣的問題，人們開始尋找其它替代方式。其中，在晶圓材料上做應變的作用，來改善元件載子遷移率，是一種可行性的方法，而材料應變矽僅需改變些許的矽基材表面。在製程中與 CMOS (Complementary metal-oxide semiconductor) 元件相容，不需再大幅地改變製程，即可有效地提升元件性能特性。

在遵循莫爾定律(Moore's law)中，當材料尺寸由巨觀(8 μm)到微米。再縮小到奈米等級，它所代表的意義並不只是尺寸的縮小而已，而是有許多物理的特性存在，如光學的性质、電性、導熱、磁性等，於奈米製程技術時代裡，應變通道 MOS 電晶體(Strained-channel metal-oxide-semiconductor field-effect transistor)，因其可提供較高的開關電流，也將會佔一席之地。近年來，其他學者也提出使用應變矽技術可提高元件的載子遷移率[1]。一般來說，應變矽又可分為單軸應變矽和雙軸應變矽[2-4]。早期主要以雙軸應變或稱全區應變(Global strain)為主，並利用矽與鍺晶格常數之不同來產生應變。雙軸應變製程所製作之應變性電晶體，雖可同時提升 n 與 p 通道電晶體之效能，但效果有限。一般的研究提出，壓縮應變可提升 p 型通道電晶體的載子遷移率，但是卻抑制了 n 型通道的載子遷移率。因此，單軸應變製程的研究，愈來愈日趨重要。然而，要將單軸應變製程整合至互補式金氧半場效電晶體的製作中，真是一項巨大的挑戰。由文獻得知，應變矽元件是由矽與鍺之晶格匹配不均，使此摻雜區

域的能帶分離，以降低電洞之有效質量[31]，因而增加 p 型通道電晶體之驅動電流。但缺點即是矽基底與矽鍺通道將有許多的差排現象產生。藉由磊晶矽緩衝層的沉積，可有效地減少矽基底與矽鍺通道差排所帶來的不利影響。

1.2 研究架構

隨著積體電路(IC)元件密度逐漸增加，電晶體通道長度已縮至深次微米，甚至是奈米等級。前人的努力，使得台灣半導體工業，能以擠入世界級的競爭領域中。為了要加速元件的操作速率，增加元件的密集度，和降低元件操作電壓等因素的考量，使得半導體產業的製程技術也跨入了奈米的時代，元件閘極通道長度的微縮，是必然的趨勢。隨著製程技術不斷地進步和尺寸越縮越小的趨勢下，將會出現不可避免的短通道效應或其他可能劣化元件特性的因子產生。

本研究將針對奈米製程 CESL 壓縮應變於(110)MOS 元件上，不同矽覆蓋層與溫度下接面效能之研究，並針對 p 型元件作分析。由文獻指出，n 型元件在 CESL 壓縮應變對元件的效能不是很理想，所以本研究將暫不去探討。本研究的元件溫度分別從 25°C 至 125°C 作分析，並且分析不同 Si-cap 厚度(24Å 和 39Å)與無應變之對照組做比較，再進一步的去探討，對元件接面部分之深層影響。

第二章 元件物理概論

金氧半場效電晶體 (metal-oxide-semiconductor field effect transistor, MOSFET) 元件結構上來看，其主要材料為矽，用矽的原因是在於元素週期表中 IVA 欄是半導體主要範圍，其中矽的含量是最高，占地殼的百分之二十六，所以取得容易；而其生成的二氧化矽是一種良好又穩定的介電質，在於能隙方面矽擁有比較大的能隙，所以能承受較高的工作溫度和較大的雜質參雜範圍。半導體材料中固態材料可分為三類-絕緣體、半導體及導體。絕緣體如融凝石英及玻璃有很低的傳導係數，傳導係數大約介於 10^{-18} 到 10^{-8} S/cm 之間，而導體像是鋁以及銀有很高的傳導係數，傳導係數一般在於 10^4 到 10^6 S/cm，而半導體的傳導係數則是介於絕緣體與導體之間。

2.1 材料結構

半導體是指導電率介於金屬與絕緣體之間的材料，並且，導電率可由溫度改變、照光激發及摻雜(Doping)等方法來提升。由於半導體電特性可由電壓的調變而改變，因此半導體元件已成為電子電路研究的主要目標。

半導體電子特性及光的特性與半導體中所含有的雜質種類，有極大的關連性。雜質可準確地被控制植入於半導體中。加入半導體中的雜質，可以大幅地改變半導體的導電率，甚至負責導電機制的載子(Carrier)，也可由負電性的電子改變為正電性的電洞(Hole)。半導體材料又依其構成的元素可分為元素半導體(Element semiconductors)及化合物半導體(Compound semiconductors)。

表 2.1 元素與化合物半導體[5]

Element	IV-IV (Compounds)	III-V (Compounds)	II-VI (Compounds)	IV-VI (Compounds)
Si Ge	SiC	AlAs AlSb GaAs GaN GaP	CdS CdSe ZnS ZnSe ZnTe	PbS PbTe

		GaSb InAs InP		
--	--	---------------------	--	--

由上表 2.1 列出可知，將不同價電子數的元素組合而形成化合物半導體，似乎可以以排列組合對應每一個元素作用，這樣可以得到 III-V 族、II-VI 族、IV-VI 族的化合物半導體。元素半導體中的矽是目前工業中最主要的半導體材料，其原因在於矽在地球表殼中存量豐富(約 25%)，又能在矽晶圓上面長出品質良好的氧化層，所以在現今的半導體製程中矽材料已完全取代鍺，而對砷化鎵 GaAs 等化合物半導體而言，因為有直接躍遷能隙的功能，故可應用在半導體發光元件上。

2.2 能帶與能隙

圖 2.1 為 p 型與 n 型半導體材料於 p-n 接面形成前，分開的兩個半導體材料的能帶圖。導電帶(Conduction band, E_C)的底部以 E_C 表示，而價電帶(Valence band, E_V)頂部以 E_V 表示，導電帶的底部與價電帶間頂部之間的差稱為能隙 E_g (Energy gap)。

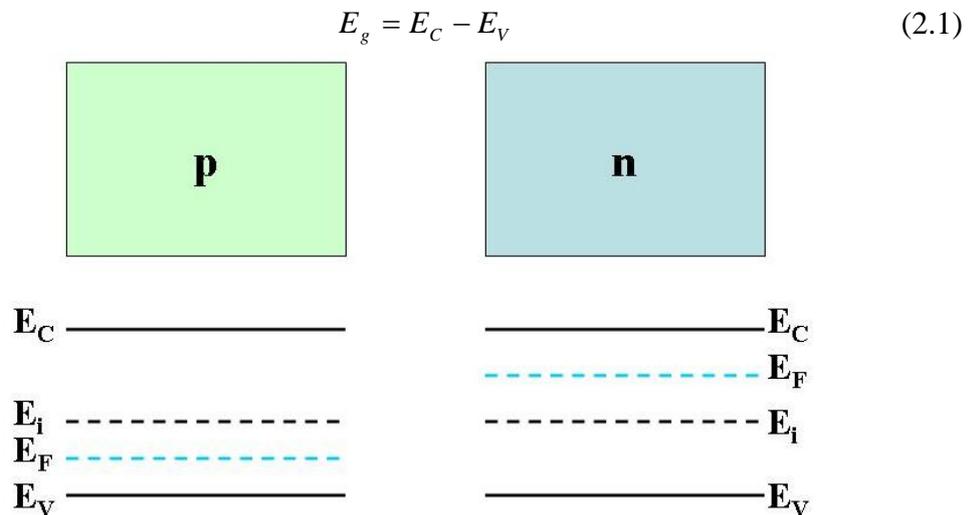


圖 2.1 p 型與 n 型半導體材料與能帶圖[11]

未經過摻雜之半導體，稱為本質半導體，其導電帶的電子數目與價電帶的電洞數目相同，並且導電帶中的電子佔據的機率也和價電帶中的電洞佔據機率相同，因此本質半導體之費米能階 E_F 位於導電帶與價電帶中間之 E_i 。在 n 型半導體中如圖 2.2(a)所示，導電帶中的電子濃度高於價電帶中的電洞濃度，則導電帶

中的電子佔據機率會大過於電洞的佔據機率。假設費米能階 E_F 比本質半導體的費米能階高，當 E_F 越靠近 E_C 時，電子濃度將亦隨之增加， $(E_F - E_C)$ 可作為摻雜濃度大小的一種指標。反之，若在 p 型半導體中圖 2.2(b)，價電帶中的電洞濃度高於導電帶中的電子濃度，則價電帶中的電洞佔據機率將會大過於電子佔據機率。若費米能階 E_C 比本質半導體的費米能階低，當 E_F 越靠近 E_V 時，電洞濃度將亦隨之增加， $(E_F - E_V)$ 可作為摻雜濃度大小的一種指標。

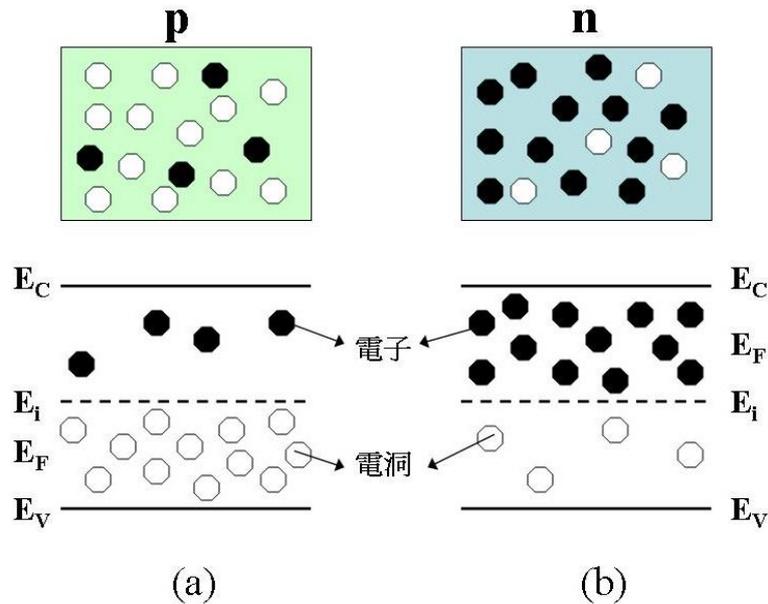


圖 2.2 p 型與 n 型電子電洞佔據能帶示意圖[11]

2.3 載子的傳輸方式

載子的移動過程中稱為傳輸，而半導體中載子的傳輸可分為兩種方式：漂移 (Drift) 和擴散 (Diffusion)。漂移是指載子受到外加電場的影響而產生的移動現象，至於擴散是指載子由於濃度梯度的不同所造成的電荷流動。在熱平衡狀態下，一個傳導的電子的平均熱能可由能量的平均理論得到下列關係式[6]:

$$\begin{aligned} \frac{3}{2}kT &= \frac{1}{2}m_n v^2 \\ \Rightarrow v &= \sqrt{\frac{3kT}{m_n}} \end{aligned} \quad (2.2)$$

其中 k 為波茲曼常數 (Boltzmann's constant) 約為 1.38×10^{-23} J/K， T 則是絕對溫度， m_n 為電子的有效質量，在矽 (Si) 中之 m_n 為 $0.26m_0$ ，而 v 為平均熱速度。在室溫下，電子的熱速度在矽約為 10^7 cm/s。在室溫時，單一電子的移動可視為

與晶格振動、雜質或是其他晶格缺陷等做隨機散射，如圖 2.3(a)所示，是隨機的。因此對電子而言，在一段時間的平均下，其移動距離可視為零，也意謂著靜電流為零。而當加上一個小電場 E 如圖 2.3(b)，即有電流的移動。

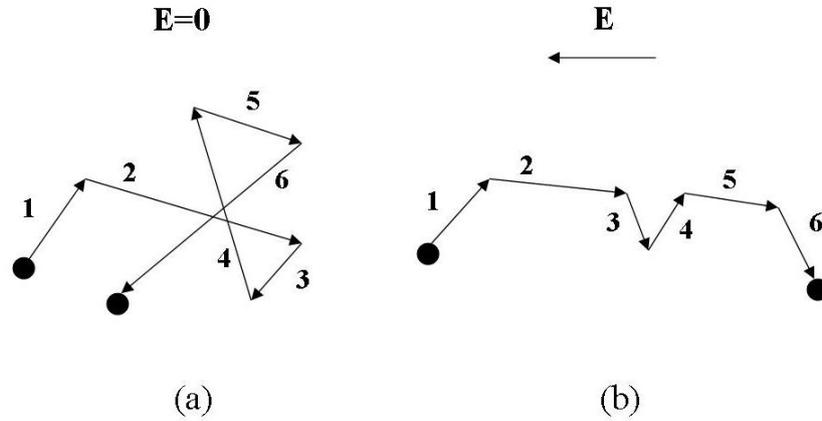


圖 2.3 載子行進的路徑[6]

而圖 2.3(a)的運動路徑會突然轉折，乃是由於載子會與原子相碰撞所導致的。而發生碰撞之間，載子所運動的平均距離，稱之為平均自由路徑 l_a (Mean free path);而載子移動所需要的時間，則稱之為平均自由時間 τ_c (Mean free time)。

對於含有一個自由載子的物質，施加一個電場 \bar{E} ，假設載子為電子，則電子與原子發生碰撞之前，每個電子會從電場上，受到一個 $(-qE)$ 的庫倫作用力，而沿著電場的反方向來做加速運動。因此，整個電子的運動速度是中性運動，我們稱此一速度為漂移速度(Drift velocity)。一個電子是經由隨機的熱運動，加上漂移成分兩者所造成的位移如圖 2.3(b)所示，由於熱運動的平均速度為零，因此，整個物質內的電子週期運動平均速度就等於漂移速度。

利用在每碰撞之間的平均自由路徑和施以電子的動量，等同於電子在同時間內所獲得的動量，可得到漂移速度 v_n 。在穩態(Steady state)下，碰撞間所獲得的動量，都會在撞擊間有所損失。在理想狀況中，當施加在電子的動量為 $(-qE\tau_c)$ ，完全轉到電子運動獲得的動量為 mv 時，則可表示：

$$-qE\tau_c = m_n v \quad (2.3)$$

或

$$v = -\left(\frac{q\tau_c}{m_n}\right)E \quad (2.4)$$

在(2.4)式中，電子漂移速度正比於施加的電場，而此比例因子，則視平均自

由時間和電子之有效質量而定，此因子亦稱為電子遷移率(Electron mobility, μ_n)，單位為平方公分/伏特-秒($\text{cm}^2/\text{V}\cdot\text{S}$)。或是

$$\mu_n = \frac{q\tau_c}{m} \quad (2.5)$$

所以(2.5)式也可改寫為:

$$v = -\mu_n E \quad (2.6)$$

對於載子傳輸而言，遷移率(Mobility)是一個重要的參數，因為它描述了施加電場，影響電子運動的強度。另外，用定義帶電粒子在直流電源輸出時，是以等加速運動進行，也可得到相似的遷移率值。

$$v = at \quad (2.7)$$

$$f = ma = qE \quad (2.8)$$

代入

$$v = \frac{qt}{m} E \quad (2.9)$$

令 $\mu = \frac{qt}{m}$ ， t 為等加速度時所須的時間

所以

$$v = \mu E \quad (2.10)$$

$$\mu = \frac{v}{E} \left(\frac{\text{cm/sec}}{\text{V/cm}} \right) = \left(\frac{\text{cm}^2}{\text{V sec}} \right) \quad (2.11)$$

一般定義遷移率物理意義為「單位電場強度作用時，帶電粒子的推動速度。」如(2.11)式，或是解釋成代表相同電場強度作用時，帶電粒子移動的難易度。一般而言，在半導體材料中，採平均速度方式計算， μ 可視為定值。

2.4 p-n 接面

p-n 接面(p-n junction)可以簡單的描述，乃將 p 型半導體和 n 型半導體接在一起。形成 p-n 接面的方法有很多種方式，例如可以在 p 型半導體基板上，以磊晶方式成長 n 型半導體，或是在 p 型半導體基板上先植入 n 型雜質源，並以加熱的方式，讓 n 型雜質擴散入基板表面，形成 p-n 接面如圖 2.4 所示。

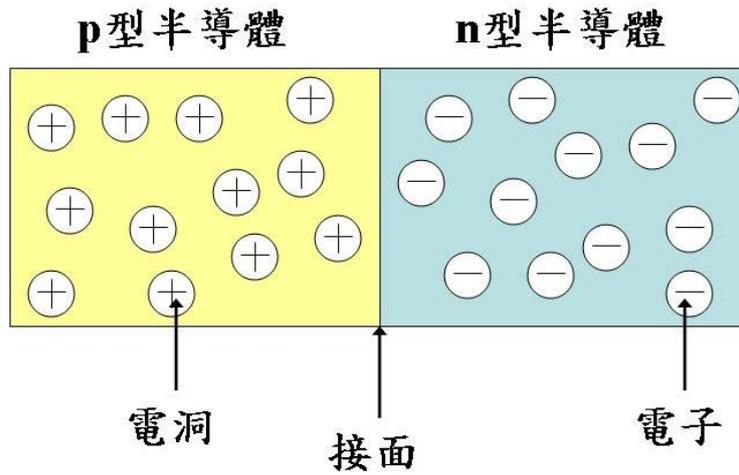


圖 2.4 p-n 二極體之基本結構

以金氧半場效電晶體(MOSFET)之 nMOSFET 而言如圖 2.5 所示。源極(Source)和汲極(Drain)摻雜第五元素而形成 n 型半導體，基底(Substrate)則摻雜三族元素而形成 p 型半導體，當 p 型與 n 型半導體接觸在一起時，於熱平衡下，p-n 接面成形。

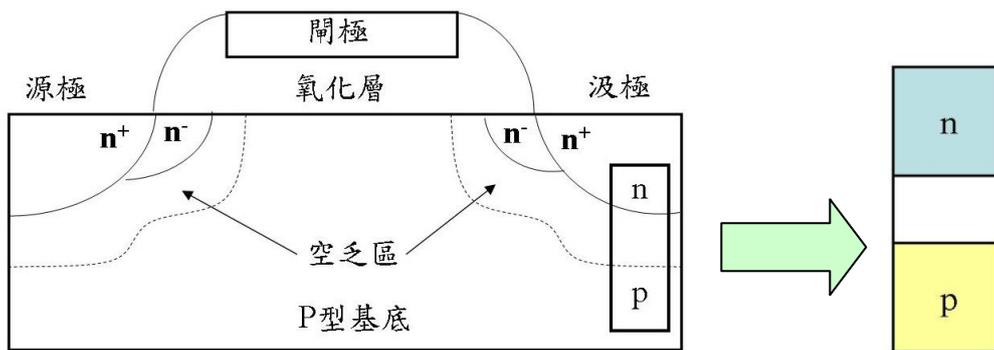


圖 2.5 nMOSFET 之 p-n 結構

2.4.1 擴散電流

p-n 接面在形成時，內部載子的分佈就已經不均勻。在熱平衡下，電子從 n 型半導體擴散至 p 型半導體，會在 p 型半導體裡中和多數載子(電洞)復合，而電洞會從 p 型半導體擴散至 n 型半導體擴散且和在 n 型半導體中的多數載子(電子)復合如圖 2.6 所示。所謂的電子電洞復合，即是電子從導電帶躍遷至傳導帶，在躍遷的過程中，會以輻射能量或者是非輻射能量形成釋放。相對地，電子或電洞的產生可藉由照光或接收熱能而得到。

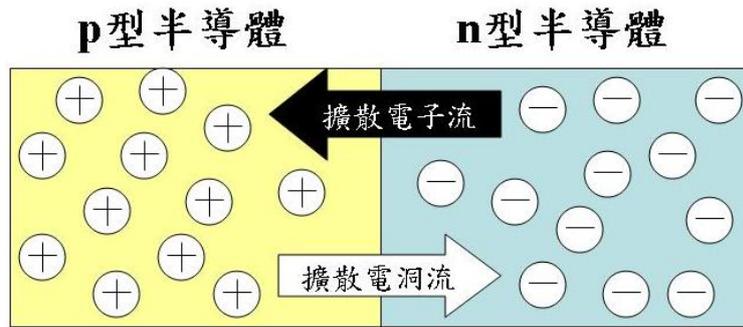


圖 2.6 擴散電流流動示意圖

載子分佈不均勻或是濃度的不均勻，所造成的擴散，會導致擴散電流的產生，以 n 型半導體而言，通常擴散電流密度以 J_n 表示：

$$J_n = qD_n \frac{dn}{dx} \quad (2.12)$$

其中 D_n 為電子擴散係數，電子在矽中的擴散係數會比電洞還要大。由(2.12)式，我們可以了解，濃度與空間位置所在之電流密度，如圖 2.7 所示

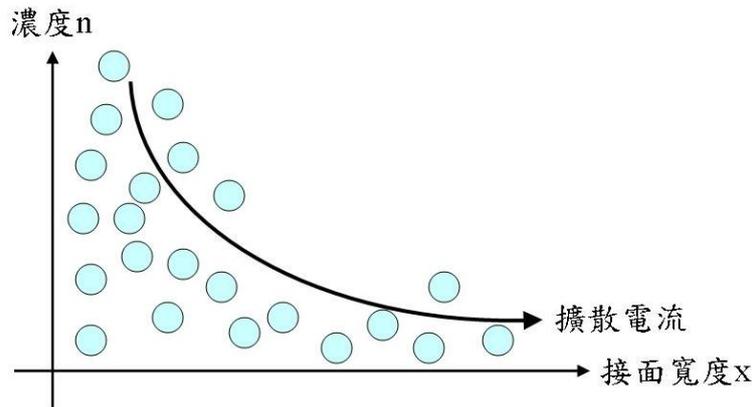


圖 2.7 濃度與空間位置之電流密度示意圖

由於帶電的載子移動，原本保持電中性的特性即遭破壞，n 型半導體端會帶正電，而 p 型半導體端則會帶負電。當電洞由 p 型流向 n 型擴散後，會留下帶負電的受體離子(Acceptor)，而電子從 n 型流向 p 型擴散後，會留下帶正電的施體離子(Donor)，兩者的總帶電量大小是相同的，且帶電的離子區域會集中於接面的兩側如圖 2.8 所示，可使系統的電位能降到最低。

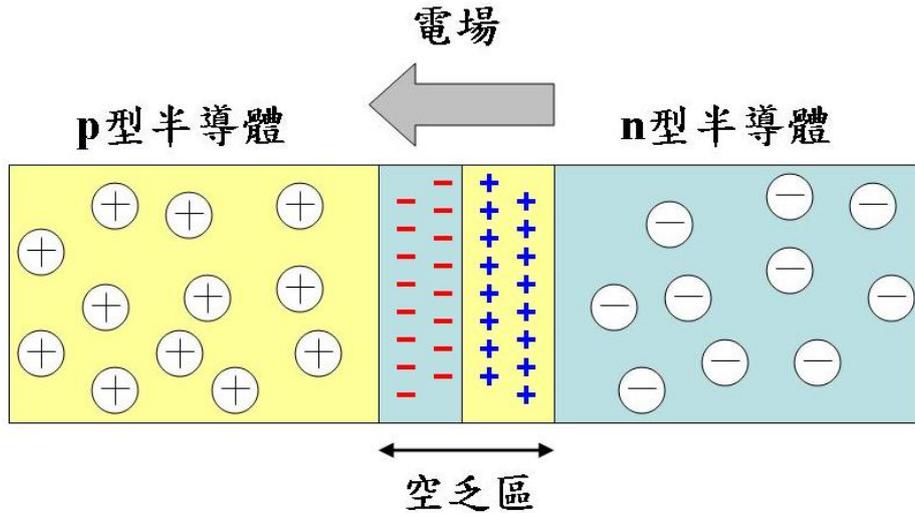


圖 2.8 未施加偏壓之 p-n 接面空乏區

在熱平衡之下，在接面處會產生一個電場，而電場所產生的電流，稱之為漂移電流，其電子與電洞在漂移所產生的電流密度，如下式所示：

$$J_n = -qnv = qn\mu_n E \quad (2.13)$$

$$J_p = qpv = qp\mu_p E \quad (2.14)$$

其中， q 為電子或電洞之電荷大小， n 為電子濃度， p 為電洞濃度。

而總漂移電流為在 n 型半導體的漂移電流加上與 p 型半導體的漂移電流之總和，如下式所示：

$$J = J_n + J_p$$

$$J = qn\mu_n E + qp\mu_p E \quad (2.15)$$

此一電場會阻止電子和電洞不斷擴散，在接面處兩側的離子區，電子與電洞的濃度都較中性區之多數載體濃度為低。由於離子區缺乏可移動的載體，一般將此區稱之為空乏區(Depletion region)。

在平衡後，p-n 接面大致上可以分為三個區域如圖 2.8 所示，自左邊起為 p 型半導體，呈電中性，亦稱 p 型中性區，中間則是電場分佈的離子區，最後，右邊為 n 型半導體，如同 p 型半導體皆為電中性，所以稱之為 n 型中性區。

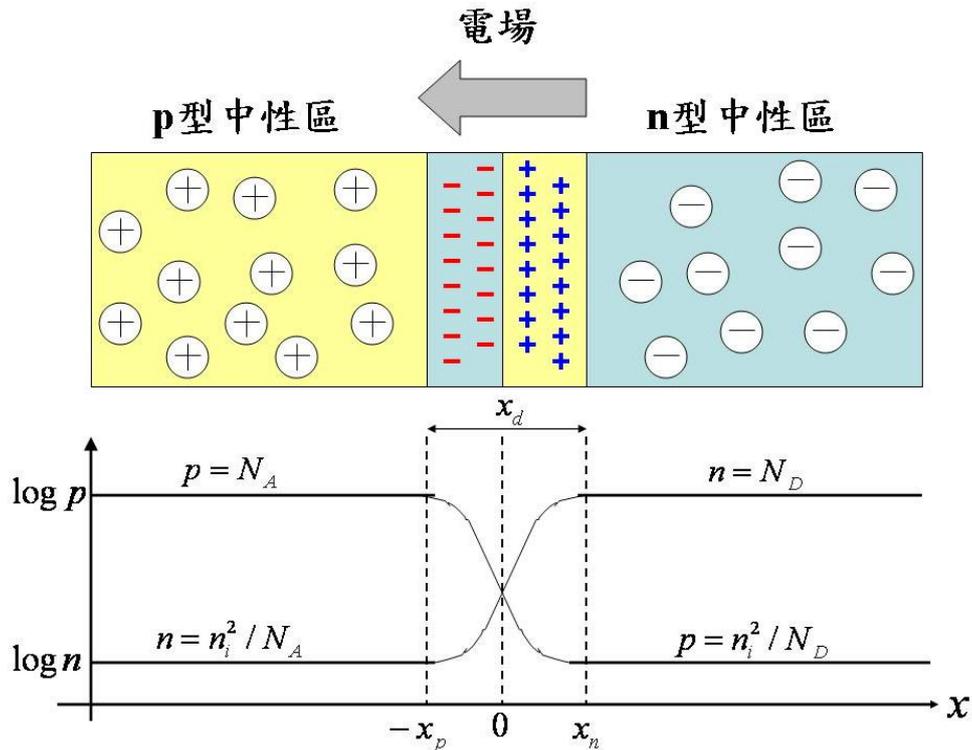


圖 2.9 p-n 接面各區載子體濃度分佈

在 p 型中性區中電洞濃度最大，電子濃度最小；在 n 型中性區中電子濃度最大，電洞濃度最小；在中間的離子區，電子與電洞的濃度都比中性區之載子濃度低，如圖 2.9 所示。

由於整個 p-n 接面呈電中性，左右兩邊的正、負電荷數目會相等，如下式所示：

$$x_n N_D = x_p N_A \quad (2.16)$$

$$\frac{x_n}{x_d} = \frac{N_A}{N_A + N_D} \quad (2.17)$$

$$\frac{x_p}{x_d} = \frac{N_D}{N_A + N_D} \quad (2.18)$$

$$x_d = x_n + x_p \quad (2.19)$$

x_d 為空乏區的總寬度， x_n 為 n 型空間電荷區之距離， x_p 為 p 型空間負電荷區之距離。

2.4.2 空乏區寬度

(一) 空乏區的形成

(a) 主要載子的擴散:

在 p-n 接面剛形成時，接面兩側載子分佈不均，使電洞向 n 型區擴散，而電子則向 p 型區擴散。

(b) 未遮蔽電荷的出現:

主要載子穿過接面即成為少數載子，會和多數載子復合而消失，並在接面上附近留下帶正電的施體離子和帶負電的受體離子，因為這個區域缺乏可移動的載子，故稱為空乏區。

(c) 電場建立，形成位能障:

當電場出現空乏區時，電場方向是由 n 型區(正)指向 p 型區(負)，而空乏區兩側則形成接觸電位，所產生的位能障可阻止載子的擴散。

(d) 淨電流平衡:

電場將使得遷移電流和擴散電流達到平衡狀態，在此之後，空乏區寬度就保持固定。

(二)空乏區寬度:

由於淨電荷必須為零，空乏區在 p 型和 n 型區寬度 $W_n(=X_n)$ 及 $W_p(=X_p)$ 會滿足下式:

$$\begin{aligned}W_n N_D &= W_p N_A \\W_n + W_p &= W\end{aligned}\quad (2.20)$$

可解出:

$$W_p = W \frac{N_D}{N_A + N_D} \quad (2.21)$$

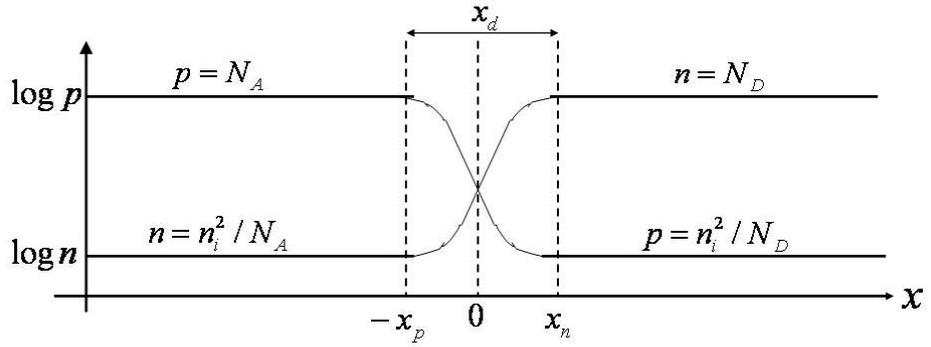
$$W_n = W \frac{N_A}{N_A + N_D} \quad (2.22)$$

當 $N_A \gg N_D$ 時可知: $W_p \approx 0$ 、 $W_n \approx W$ 。

其中 N_A 為受體濃度(Acceptor concentration)，與 N_D 為施體濃度(Donor concentration)。

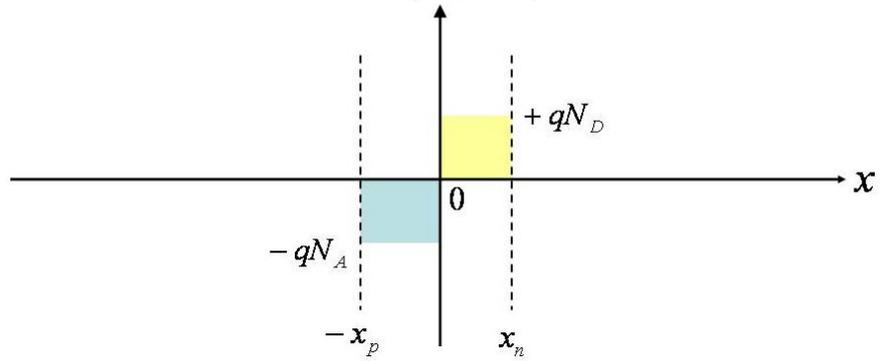
2.4.3 空間電荷

以一理想的階梯電荷分佈(Step distribution or abrupt distribution)，則電場與電荷密度相對位置的分佈，可由下圖 2.10(b)和(c)所示。



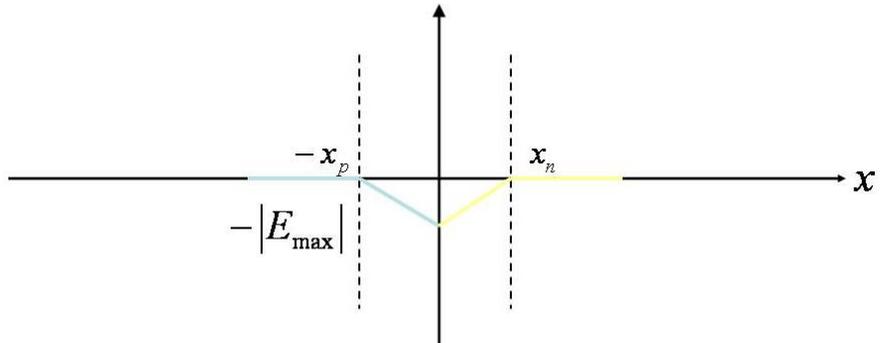
(a)

電荷密度 ρ_v



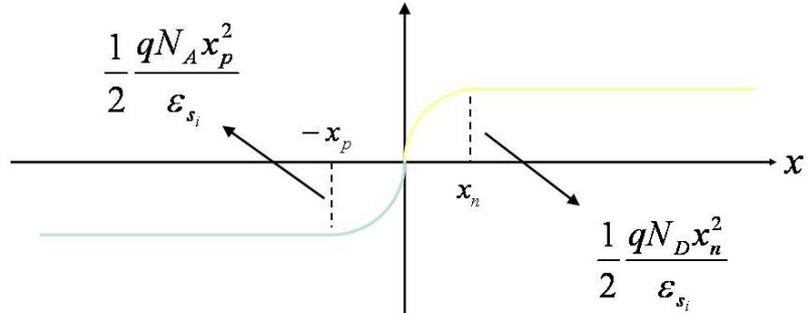
(b)

電場 $E(x)$



(c)

電壓 $V(x)$



(d)

圖 2.10 電荷密度、電場與電壓分佈圖

在正負空間電荷的作用下，空乏區中會產生一電場，且電場可利用波松方程式(Poisson equation)得到:

$$-\frac{dV(x)}{dx^2} = \frac{dE(x)}{dx} = \frac{\rho(x)}{\epsilon_{s_i}} \quad (2.23)$$

其中 $V(x)$ 為電位， $E(x)$ 為電場， $\rho(x)$ 為空乏區中的電荷密度， ϵ_{s_i} 則為半導體的介電常數(Delectric constant)

當 $0 \leq x \leq x_n$ ， $\rho(x) = N_D$ ，則電場之公式如下:

$$E(x) = -\int_{E(x)}^0 dE' = -\int_x^{x_n} \left(-\frac{qN_D}{\epsilon_{s_i}}\right) dx' = -\frac{qN_D}{\epsilon_{s_i}} (x_n - x) \quad (2.24)$$

當 $-x_p \leq x \leq 0$ ， $\rho(x) = N_A$ ，則電場之公式如下:

$$E(x) = \int_0^{E(x)} dE' = \int_{-x_p}^x \left(-\frac{qN_A}{\epsilon_{s_i}}\right) dx' = -\frac{qN_A}{\epsilon_{s_i}} (x_p + x) \quad (2.25)$$

所以，最大電場 $|E_{\max}|$ 為:

$$|E_{\max}| = \frac{qN_D x_n}{\epsilon_{s_i}} = \frac{qN_A x_p}{\epsilon_{s_i}} \quad (2.26)$$

在沒有外加偏壓前，費米能階會保持不變。

$$V_{bi} = \frac{KT}{q} \ln\left(\frac{n_n}{n_p}\right) \quad (2.27)$$

利用電壓導出空乏區的寬度 W

$$\begin{aligned} V_{bi} &= \frac{1}{2} \frac{qN_A x_p^2}{\epsilon_{s_i}} + \frac{1}{2} \frac{qN_D x_n^2}{\epsilon_{s_i}} \\ &= \frac{1}{2} \frac{q}{\epsilon_{s_i}} (N_A x_p^2 + N_D x_n^2) \\ &= \frac{1}{2} \frac{q}{\epsilon_{s_i}} \left[N_A \left(\frac{N_D}{N_A + N_D} \right) x_p^2 + N_D \left(\frac{N_A}{N_A + N_D} \right) x_n^2 \right] \\ &= \frac{1}{2} \frac{q}{\epsilon_{s_i}} \left(\frac{N_A N_D}{N_A + N_D} \right) W^2 \end{aligned} \quad (2.28)$$

所以， W 可以表示為

$$W = \sqrt{\frac{2\epsilon_{s_i} V_{bi}}{q} \left(\frac{N_A + N_D}{N_A N_D} \right)} \quad (2.29)$$

W 為表面空乏區寬度。

在平衡時，空乏區內之電流為零，因此，擴散電流和漂移電流互相抵消，以電洞為例。

$$J_p = qp\mu_p E - qD_p \frac{dp}{dx} = 0 \quad (2.30)$$

$$E = \frac{D_p}{\mu_p} \frac{dp}{dx} = -\frac{dV}{dx} \quad (2.31)$$

藉著愛因斯關係式(Einstein relation)

$$\frac{D_p}{\mu_p} = \frac{D_n}{\mu_n} = \frac{KT}{q} = \frac{T}{11600} \quad (2.32)$$

可以整理下式

$$dV = -\frac{KT}{q} \frac{dp}{p} \quad (2.33)$$

對 dV 從 $-x_p$ 積到 $-x_n$ 可得到內建電位 V_{bi}

$$\begin{aligned} V_{bi} &= \int_{x_p}^{x_n} dV \\ &= -\frac{KT}{q} \int_{p(-x_p)}^{p(x_n)} \frac{dp}{p} \\ &= -\frac{KT}{q} \ln \left| \frac{p(x_n)}{p(-x_p)} \right| \\ &= -\frac{KT}{q} \ln \left| \frac{n_i^2/N_D}{N_A} \right| \\ &= -\frac{KT}{q} \left(\ln \frac{n_i^2}{N_D} - \ln N_A \right) \end{aligned} \quad (2.34)$$

故可得到內建電位為：

$$V_{bi} = \frac{KT}{q} \left(\ln \frac{N_D N_A}{n_i^2} \right) = \frac{KT}{q} \left(\ln \frac{N_A}{n_i} + \ln \frac{N_D}{n_i} \right) \quad (2.35)$$

2.5 MOSFET 元件物理特性

所謂的 MOS 元件，即以閘極金屬(Metal)、氧化層(Oxide)以及半導體(Semiconductor)三種基本結構而命名，圖 2.11 為金氧半(MOS)元件剖面結構圖。早期 MOSFET 的閘極(Gate electrode)使用金屬作為其材料，如鋁(Al)材料，但隨著半導體技術的進步，現代的 MOSFET 閘極早已用多晶矽(Polycrystalline silicon)取代了鋁金屬，而另外，早期氧化層材料為二氧化矽(SiO₂)，不過現今也有新的

製程已經可以使用如氮氧化矽(Silicon oxynitride, SiON)作為閘極介電層之用。另外，一般基底材料為矽(Silicon)，但也有些半導體公司發展出使用其他半導體材料的製程，其中諸如使用矽與鍺(Germanium)的混合物所發展的矽鍺製程。

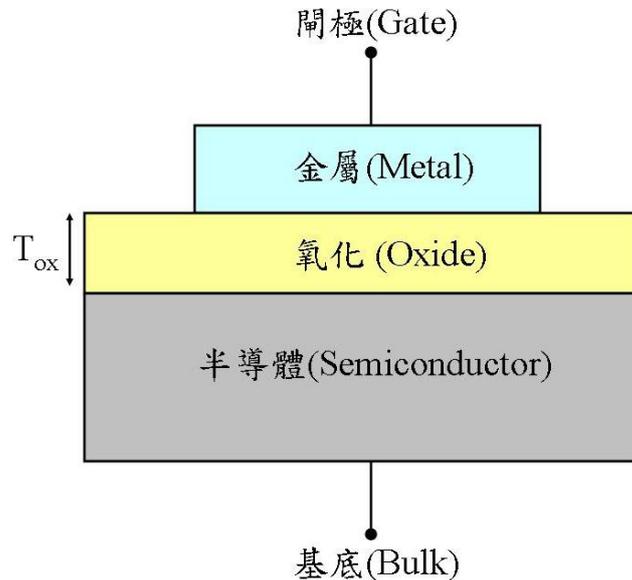


圖 2.11 金屬-氧化-半導體結構剖面圖

MOSFET 自 1960 年後快速的發展，並且成為積體電路中最重要，也是最廣泛應用的元件，不僅有低的消耗功率，且擁有相當高的良率及其他優點，再加上 MOSFET 可以輕易地微縮，使面積變小而提高元件的性能。常應用在高速切換開關，特別是在電腦及通訊相關的電子設備中，大量的電晶體開關幫助我們處理、運算及記憶大量的數據。

MOSFET 為一個四端點元件，如圖 2.12 所示。一個 nMOSFET，由 p 型半導體基板上兩個 N^+ 組成，一個區域為源極(Source)，另一區域為汲極(Drain)，閘極氧化層上方的金屬則稱之為閘極(Gate)，而第四個端點則為基板，亦稱基極(Bulk)。MOSFET 之主要元件參數可分為通道長度 L 、通道寬度 W 以及氧化層厚度 T_{ox} 。MOSFET 元件中央的部份，與 MOS 二極體相當類似。

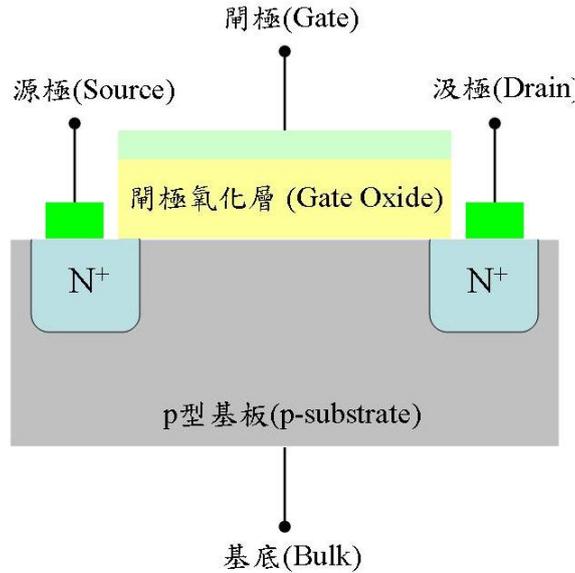


圖 2.12 nMOSFET 結構圖

2.6 MOSFET 能帶圖

圖 2.13 為一個無外加偏壓下之理想金屬-氧化層-半導體 nMOSFET 之能帶圖：

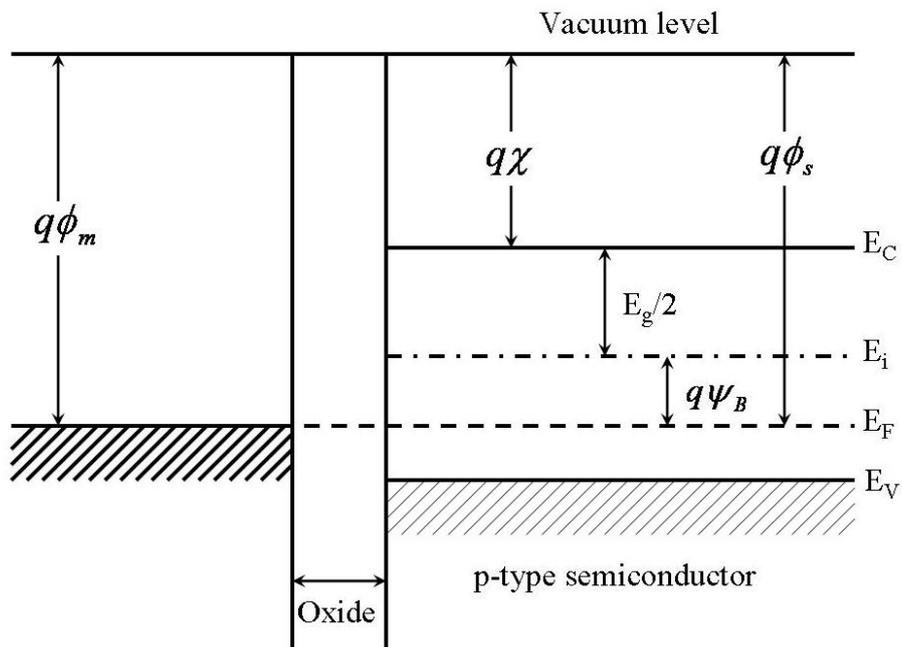


圖 2.13 金屬-氧化層-半導體之能帶圖[7]

平帶部分指出 $V_{FB}=0$ ，意即在 MOS 元件中垂直電場為零，亦無任何的電荷存在，而半導體的能帶也會是平的不會有彎曲的現象，平帶電壓可以用下式表示。

$$V_{FB} = \phi_m - \phi_s \quad (2.36)$$

ϕ_m 為閘極金屬之功函數。

ϕ_s 為半導體之功函數。

而半導體的功函數與金屬的功函數是有差別的，因為，金屬的費米能階 (Fermi level) 在半導體導電帶最低能階 (E_C) 之下，所以半導體的功函數如下式所示。

$$\phi_s = \chi + (E_C - E_F)_{FB} / q \quad (2.37)$$

因此

$$q\phi_{ms} = (q\phi_m - q\phi_s) = q\phi_m - \left(q\chi + \frac{E_g}{2} + q\psi_B \right) = 0 \quad (2.38)$$

電子能夠由材料的費米能階脫離而達到完全自由所需之能量稱之為功函數 (Work function)。自由電子所在之位置稱之為真空能階 (Vacuum level)，而金屬的費米能階 (Fermi level) 就在材料表面上，因此其功函數便是真空能階和費米能階的差。

表 2.2 在矽與鍺中，不同的金屬功函數與能障高度表[7]

	Ag	Al	Au	Cr	W	Ni
ϕ_m (真空)	4.3	4. 25	4.8	4.25	4.6	4.5
n-Ge	0.5 4	0. 48	0.59	N/A	0.48	0.49
p-Ge	0.5	N/ A	0.3	N/A	N/A	N/A
n-Si	0.7 8	0. 72	0.8	0.61	0.67	0.61
p-Si	0.5 4	0. 58	0.34	0.5	0.45	0.51

在考慮半導體之功函數 (ϕ_s) 下，其費米能階會隨著植入的濃度而有所改變，如(2.39)式所示：

$$\phi_m - \phi_s = \phi_m - \chi - \frac{E_g}{2q} - V_T \ln \left(\frac{N_A}{n_i} \right) \quad (2.39)$$

其中 V_T 為熱電壓 $= kT/q$ 。

一般對 MOS 元件結構而言，多晶矽閘極通常都會植入很高濃度的摻雜，其閘極功函數之計算，會建立在其多晶矽之基底電位差下，如(2.40)式所示為 n 型多晶矽之閘極功函數：

$$\phi_{poly,S} = V_T \ln \left(\frac{n_i^2}{N_{D,poly} N_A} \right) \quad (2.40)$$

實際上，氧化層或氧化層與半導體之介面所存在的電荷，對金氧半結構之平帶電壓有更大的影響。通常平帶電壓會和閘極所供應的電壓有關，使得半導體的能帶是平的，任何在氧化層或是介面(Si/SiO₂)上的電荷都會影響到平帶電壓值。假設氧化層與半導體間電荷 Q_i ，和在氧化層內之電荷捕獲分佈 ρ_{ox} ，則平帶電壓可定義如(2.41)式所示：

$$V_{FB} = \phi_{ms} - \frac{Q_i}{C_{ox}} - \frac{1}{\epsilon_{ox}} \int_0^{T_{ox}} \rho_{ox}(x) dx \quad (2.41)$$

(2.41)式中的第二項為氧化層所引起的電荷，存在的位置在氧化層與半導體介面(Interface state)上。第三項為在氧化層內的電荷捕獲密度分佈(Oxide trapped charge)。若考慮電荷在氧化層內的移動時，平帶電壓的計算會顯得更為複雜，而氧化層與半導體間的電荷，會和接面的狀態與費米能階的位置有關。因此，平帶電壓會受到外加進來的電荷所影響，所關心的臨界電壓值，會在製程當中避免帶電離子在介面處產生。

2.7 反轉層

以理想之 nMOSFET 元件討論其操作在閘極為負偏壓條件下，其能帶分佈，如圖 2.14 所示為：

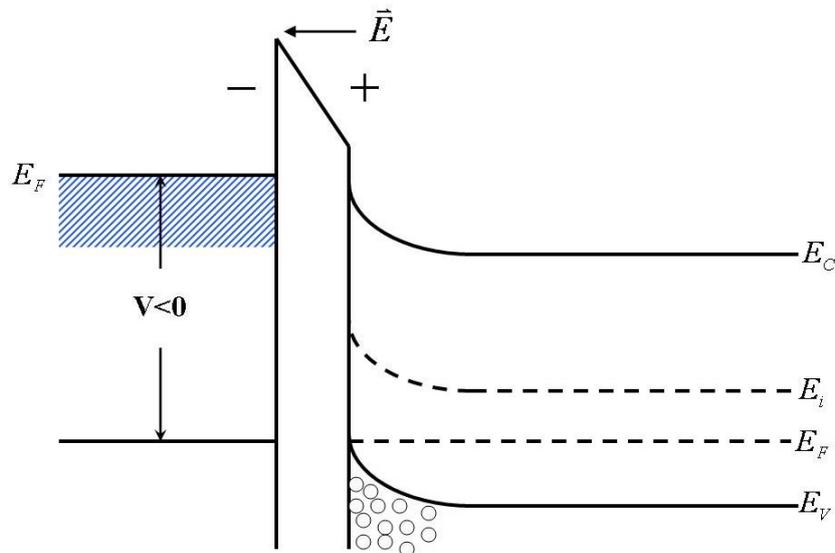


圖 2.14 閘極負偏壓下累積能帶分佈圖[7]

對於一個 p 型半導體(基底)而言，金屬電極外加負偏壓時，在金屬板與 p 型半導體(基底)間有氧化層介面，會吸引正的載子(電洞)於氧化層介面，在接面的附近的能帶會因此彎曲向上，對於價電帶而言，因為電洞濃度的增加，使得價帶最高位能與費米能階距離更小($E_F - E_V$)，其關係式如(2.42)式所示：

$$\begin{aligned} p &= N_V \exp[-(E_F - E_V)/kT] \\ &= N_V \exp[-(E_i - E_V)/kT] \exp[(E_i - E_F)/kT] \\ &= n_i \exp[(E_i - E_F)/kT] \end{aligned} \quad (2.42)$$

N_V : 在價帶的狀態等效密度。

$$N_V \equiv 2(2\pi m_p kT/h^2)^{3/2}$$

$$np = n_i^2$$

n : 半導體中電子的濃度。

p : 半導體中電洞的濃度。

n_i : 本質半導體中的載子濃度。

m_p : 電洞有效質量。

h : 卜郎克常數。

也就是說，半導體中的電子濃度與電洞濃度乘積為一定數($n_i = 1.45 \times 10^{10} \text{ cm}^{-3}$, Si)，這時當電洞濃度(p)增加時，電子濃度(n)就會減少，電子濃度和導電帶與費米能階關係如下式所示：

$$\begin{aligned} n &= N_C \exp[-(E_C - E_F)/kT] \\ &= n_i \exp[(E_F - E_i)/kT] \end{aligned} \quad (2.43)$$

其中 N_C 為導帶等效密度。

$$N_C \equiv 2(2\pi m_n kT/h^2)^{3/2}$$

圖 2.15 為 MOS 在金屬板上供應的外加偏壓，為一個趨近於零且正的電壓，半導體附近的介面之能帶會往下彎曲，而能帶的彎曲如上段所述。此時，多數載子為電洞的 p 型半導體，在介面附近形成空乏，其空間電荷(Surface charge, Q_{sc})會等於 $(-qN_A W)$ ，其中 W 為表面空乏區寬度。

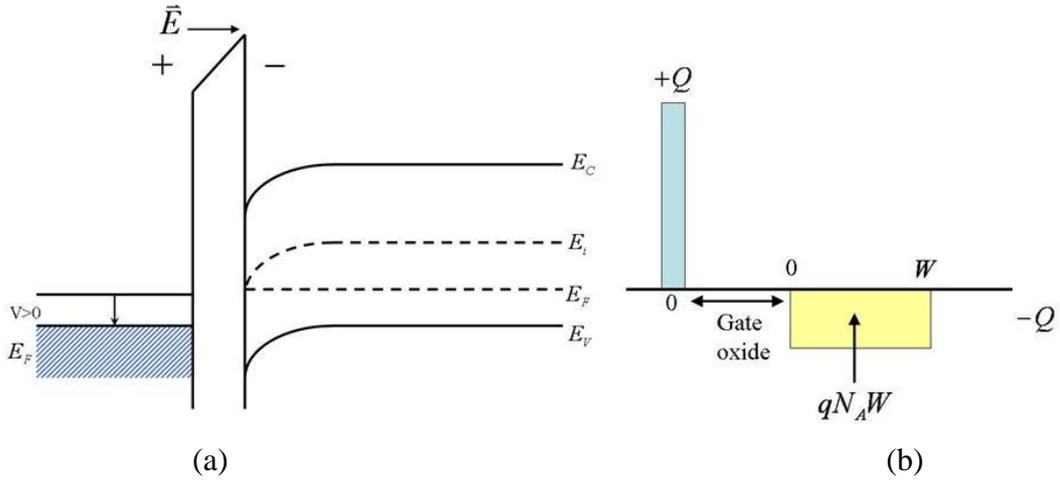


圖 2.15 nMOS 於空乏區 (a)能帶圖 (b)電荷分佈圖[7]

討論供應電壓為遠大於零的電壓，如圖 2.16 所示。同樣地，在半導體界面附近之能帶會向下彎曲，其彎曲幅度會比上圖要大些，且界面之本質能階(E_i)會比費米能階(E_F)小。

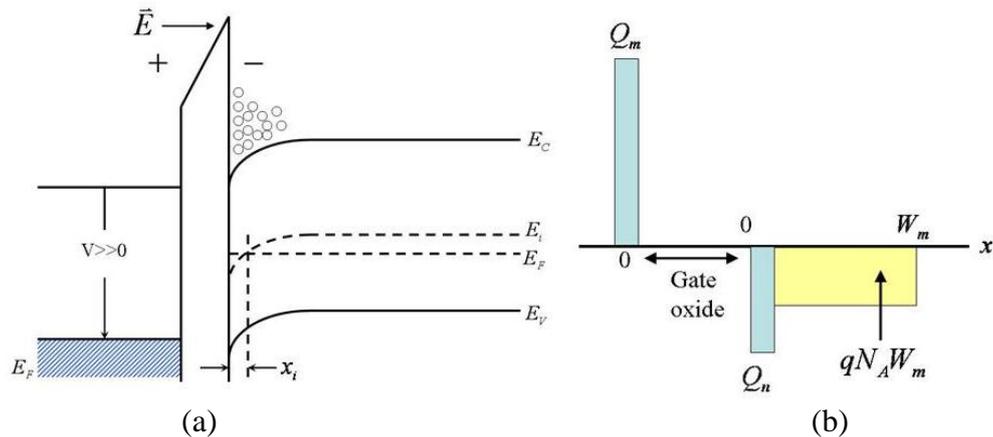


圖 2.16 nMOS 於反轉層 (a)能帶圖 (b)電荷分佈圖[7]

也就是說，供應電壓開始在氧化層與矽界面產生電子，其電子之密度為下式所示：

$$n_p = n_i e^{(E_F - E_i)/kT} \quad (2.44)$$

於界面附近， $(E_F - E_i) > 0$ ，所以電子濃度(n_p)會大於本質濃度(n_i)；同時，表面電子的數量會大於在 p 型半導體中多數載子電洞的量，因而通道表面被反轉而形成多數載子為電子，而少數載子為電洞之 n 型半導體，稱之為反轉層。

對於一個電子濃度不大，所形成的反轉層，稱之為弱反轉層。然而，當能帶彎曲的幅度變大，甚至，導電帶的邊際來到了費米能階時，即成為一個強反轉初始形成，此時，在氧化層與矽界面處的電子濃度已達到基底植入的濃度，超過強

反轉初始形成後，多增加的電子電荷，則以 Q_n 表示，n 型反轉層 $0 \leq x \leq x_i$ ，其中， x_i 為反轉區域的寬度。一旦強反轉層形成後，表面空乏區寬度亦達到一個最大值，因為向下彎曲的能帶已遠遠超過強反轉形成的條件。換句話說，反轉層的電荷(Q_n)就算在怎樣繼續增加，對於能帶彎曲的貢獻，只會增加極小的變化，而對應的空乏區也只會增加非常小的量。

為此，定義在半導體單位面積內，強反轉形成後所含的電荷數 Q_s ，會等於電荷在反轉層的量，與電荷量在空乏區之總合，如下式所示：

$$Q_s = Q_n + Q_{sc} = Q_n - qN_A W_m \quad (2.45)$$

圖 2.17 可以看到通道形成後，汲極與源極就有可傳導載子的路徑產生。

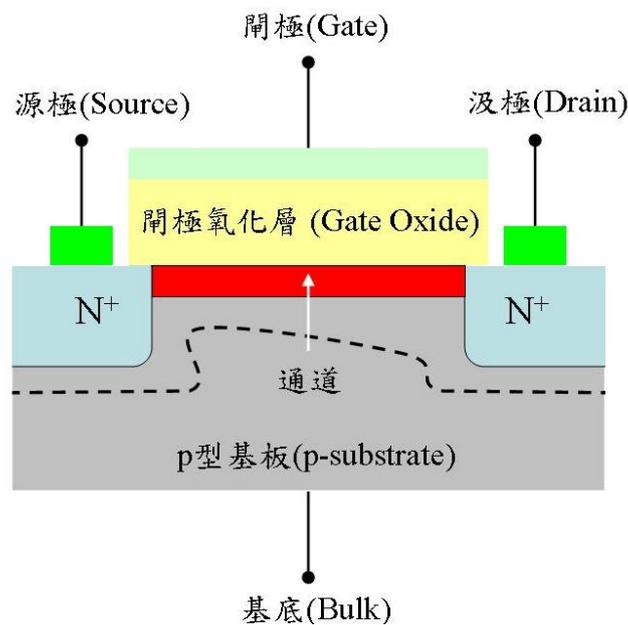


圖 2.17 nMOSFET 通道形成示意圖

2.8 MOSFET 元件輸出特性曲線

MOSFET 的工作速度與汲極電流有相當大的關係。以 nMOSFET 為例，將源極和基底接地，則由汲極電流 I_D 和汲極電壓 V_D 所構成的輸出特性(Output characteristics)曲線，如圖 2.18 所示，我們可以將輸出特性曲線分為截止區、線性區以及飽和區等三個部分。

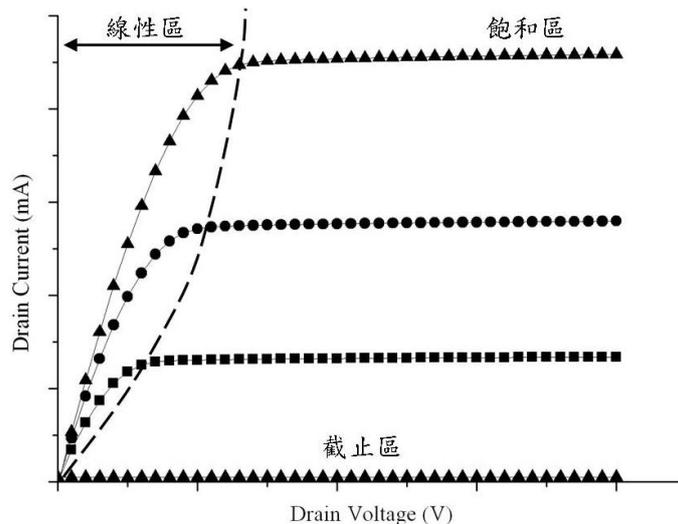


圖 2.18 nMOSFET 元件輸出特性曲線

2.8.1 截止區 (Cutoff region)

當閘極和源極間的電壓 V_{GS} 小於臨界電壓 (Threshold voltage, V_T) 時，MOSFET 是處在「截止」(Cut-off)的狀態，由於閘極下方之通道尚未形成，電流無法流過這個 MOSFET，而源極和汲極在電性上，也是處於隔離的狀態，因此，在汲極電壓 (V_D) 下，也就沒有汲極電流 (I_D) 的產生，這就是為何在截止區之特性輸出曲線會與 V_D 軸幾乎重疊的原因。

2.8.2 線性區 (Linear region)

當閘極和源極間的電壓大於臨界電壓，即 $V_{GS} > V_T$ ，這時，閘極下方的通道已經形成，如圖 2.19 所示。

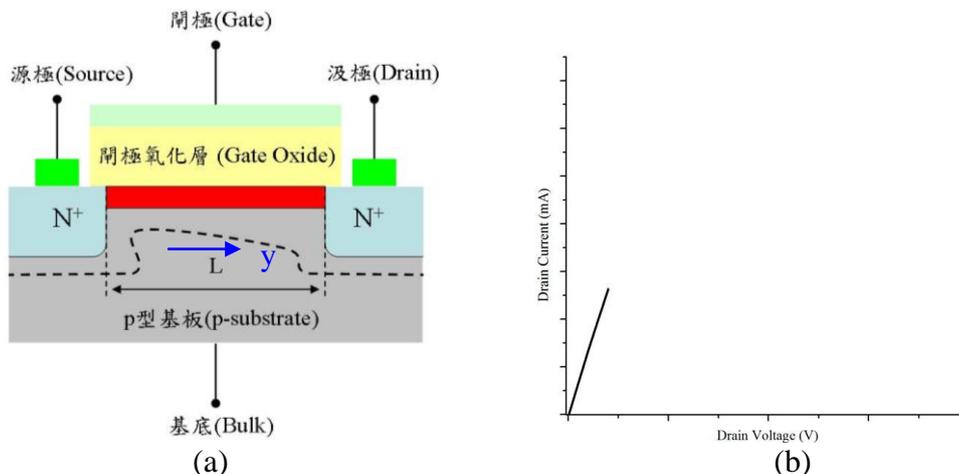


圖 2.19 nMOSFET 線性區 (a)通道形成示意圖 (b)元件輸出特性曲線[8]

當汲極電壓不斷地增加的同時，汲極端跨越氧化層的電壓也隨之減少，受到閘極電壓的影響，靠近汲極的電壓 V_D 減弱了，這也使得通道的厚度變得不一樣；越接近汲極的地方，其通道的厚度越小，此時，會造成通道的導電率變差，通道的電阻也隨之增加，因此，輸出的特性曲線此刻的斜率會變小，如圖 2.20 所示。

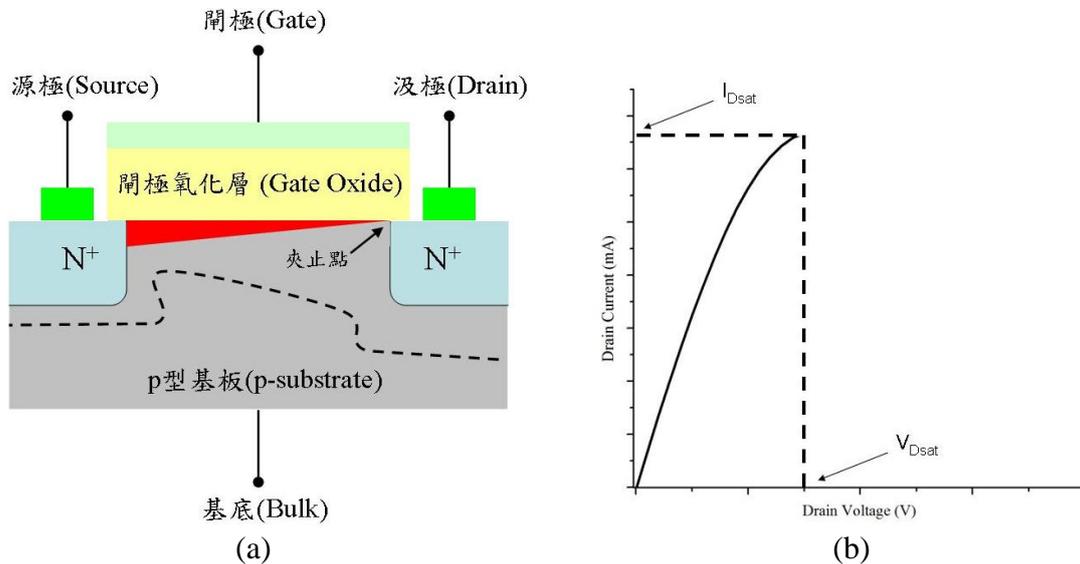


圖 2.20 nMOSFET 剛進入飽和區 (a)通道形成示意圖 (b)元件輸出特性曲線[8]

當汲極電壓不斷地增加致使通道載子的速度飽和時($V_{Dsat}=V_{GS}-V_T$)，靠近汲極的通道厚度減至為零，我們稱此處為夾止點(Pinch-off point)。由於，此時的通道電荷速度飽和，所以，輸出的特性曲線在此刻的斜率為零，如圖 2.21 所示。

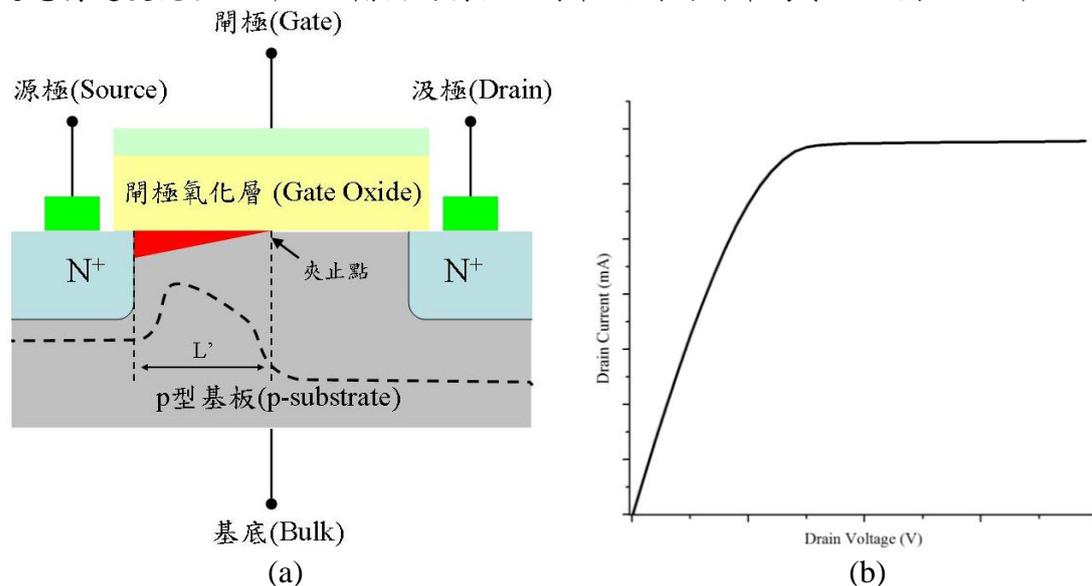


圖 2.21 nMOSFET 飽和區 (a)通道形成示意圖 (b)元件輸出特性曲線[8]

以一個理想的 nMOSFET 為例，汲極電流 I_D 與汲極電壓 V_D 於線性區之間的關係式如下：

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2.46)$$

其 μ_n 為載子遷移率(Carrier mobility)、 W 為 MOSFET 的閘極寬度、 L 為 MOSFET 的閘極長度，而 C_{ox} 則是閘極氧化層的單位電容大小。在這個區域內，MOSFET 的電流與電壓關係有如一個線性方程式，因而稱為線性區。

2.8.3 飽和區(Saturation region)

當閘極和源極間的電壓大於臨界電壓，即 $V_{GS} > V_T$ ，且汲極電壓 V_D 大於汲極飽和電壓 V_{Dsat} 時，夾止點會由圖 2.20 中的位置向圖 2.21 中所顯示的位置移動，並且，夾止點的電壓保持在 V_{Dsat} 。這也使得靠近汲極區的反轉層電荷為零，而源極出發的電子，經由源極進入通道，並且向汲極的方向移動，然而，到達夾止點時，電子會被注入汲極周圍的空間電荷區(Space charge region)，再被電場掃入汲極區。

飽和區之通道長度改變定義如下：

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T)^2 \equiv I_{Dsat} \quad (2.47)$$

2.9 MOSFET 元件轉移特性

轉移特性(Transfer characteristics)，是指在某個固定的汲極偏壓下，將汲極電流 I_D 與閘極偏壓 V_G 作圖，如圖 2.22 所示。

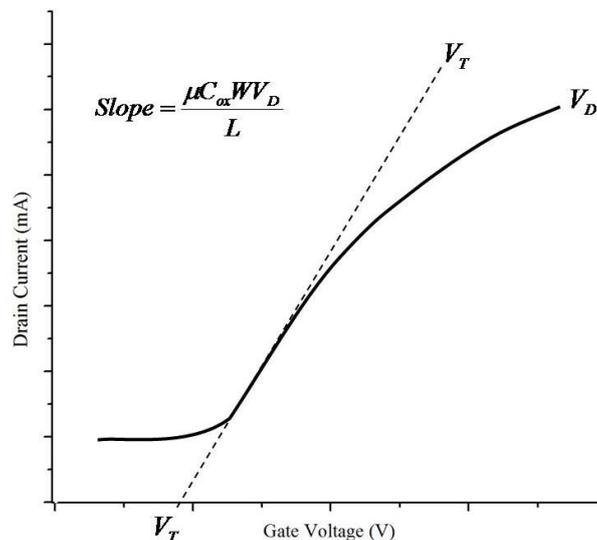


圖 2.22 轉移特性曲線(I_D - V_G)

當 V_D 很小時，約 0.05V 或 0.1V，(2.47)式可化簡為：

$$I_D = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T) V_D \quad (2.48)$$

汲極電流 I_D 與閘極偏壓 V_G 轉移特性應為一條直線，如圖 2.22 中的虛線所示。但是，在很小及很大的 V_G 值時，實際的數值會偏離公式(2.48)所預測的值。在 V_G 值很小時，直線的誤差是因為次臨界電流(Subthreshold current)的影響；而 V_G 值很大時，直線的誤差會是因為閘極電壓變大，使得載子移動速率變小的主因所致。此外，由(2.48)式，可以根據實驗數據來決定出遷移率和臨界電壓值。載子的遷移率可由圖 2.22 中直線之斜率來求得[8]，而次臨界電壓 V_T 可以由切線與 $I_D=0$ 之交集處求之。我們利用(2.48)式，亦可得到在線性區的通道電導(Channel conductance) 或稱汲極電導 (Drain conductance) 以及轉移電導 (Transconductance) G_m 為：

$$G_m \equiv \left. \frac{\partial I_D}{\partial V_G} \right|_{V_D = \text{const}} = \mu_n C_{ox} \frac{W}{L} V_D \quad (2.49)$$

從 G_m 的定義可知，是從轉移曲線上的各點取斜率所構成的。而且，圖 2.23 顯示 G_m 會從接近 V_T 的地方，由一個很小的值開始，隨著 V_G 增加而變大，直到一個最大值 $G_{m,max}$ 後，再隨著 V_G 增加而變小，因為通道中的電子越來越多，撞擊到 SiO_2 界面的機會越高，使得遷移率下降。

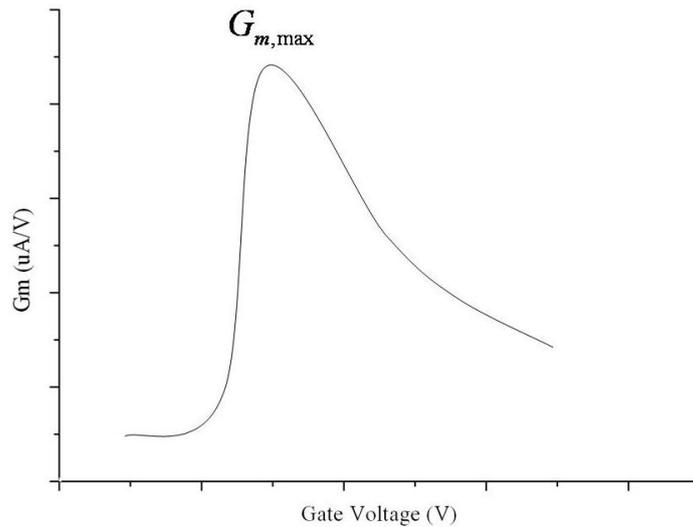


圖 2.23 轉移電導 G_m

接下來討論 MOSFET 操作於飽和區的轉移特性。因為在飽和區 I_{Dsat} 與 V_G 的關係是平方關係，因此我們將飽和區電流方程式左右二邊開根號，可得式 (2.50):

$$\sqrt{I_{Dsat}} = \sqrt{\frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_G - V_T)} \quad (2.50)$$

而 G_m 為

$$G_m \equiv \left. \frac{\partial I_D}{\partial V_G} \right|_{V_D=const} = \mu_n C_{ox} \frac{W}{L} (V_G - V_T) \quad (2.51)$$

同樣的，我們也可以用轉移特性曲線求出 V_T 值，此 V_T 為飽和區下的值，故又記為 V_{T_sat} 。

2.10 其他重要元件之參數

2.10.1 臨界電壓特性

臨界電壓是 MOSFET 最重要參數之一，理想的臨界電壓如下式：

$$V_T = \phi_{ms} - \frac{Q_{sc}}{C_{ox}} + 2\psi_B \quad (2.52)$$

其中 ϕ_{ms} 為金屬閘極與矽基板間的功函數差， C_{ox} 為單位面積的氧化層電容。然而當考慮到固定氧化層電荷和功函數差之效應時，將會有一個平帶電壓如下式，而產生偏移現象。

$$V_{FB} = \phi_{ms} - \frac{Q_{ox}}{C_{ox}} \quad (2.53)$$

而實際狀況下為

$$V_T = \phi_{ms} - \frac{Q_{ox}}{C_{ox}} - \frac{Q_{sc}}{C_{ox}} + 2\psi_B \quad (2.54)$$

2.10.2 次臨界特性

就前面所討論到的，當閘極電壓小於臨界電壓時，且半導體通道表面呈現反轉時，但尚未呈現強反轉，所以會有輕微摻雜的現象發生，在這時候會產生一個弱反轉通道，其所對應的汲極電流為次臨界電流(Threshold Current)。在次臨界區內，汲極電流由擴散電流作主導而非漂移電流，汲極電流(I_D)為[33]:

$$I_D = -qAD_n \frac{dn}{dy} \quad (2.55)$$

其中

$$\frac{dn}{dy} = \frac{n(0) - n(L)}{L}$$

$$I_D = -qAD_n \frac{dn}{dy} = qAD_n \frac{n(0) - n(L)}{L} \quad (2.56)$$

其中 A 為電流流過的截面積, L 為通道長度, D_n 為電子的擴散係數(Diffusion coefficient), $n(0)$ 為源極端電子密度, $n(L)$ 為汲極端電子密度。

$$n(0) = n_i e^{q(\psi_s - \psi_B)/kT} \quad (2.57)$$

$$n(L) = n_i e^{q(\psi_s - \psi_D - \psi_B)/kT} \quad (2.58)$$

其中, ψ_s 為源極端的表面電位, 將(2.57)式與(2.58)式代入(2.56)式, 可得(2.59)式:

$$I_D = \frac{qAD_n n_i e^{-q\psi_B/kT}}{L} (1 - e^{-qV_D/kT}) e^{q(V_G - V_T)/kT} \quad (2.59)$$

ψ_s 與 ψ_D 分別為源極和汲極的表面電位, 且 ψ_s 可以近似於 $\psi_s \equiv V_G - V_T$ 因此, 汲極電流 I_D 將呈現衰減指數, 若考量些許漂移現象於實際運作時[35], 需有所修正, 如下式所示:

$$I_D \propto e^{q(V_G - V_T)/\eta kT} \quad (2.60)$$

其中 $\eta = (1 + C_d/C_{ox})$, C_d : 通道空乏區的單位電容值(Channel depletion capacitance)。

$$C_d = \frac{\epsilon_{s_i}}{W} \quad (2.61)$$

W 為空乏區寬度, 公式可由(2.29)顯示。

因為次臨界特性式描述開關如何開啟與關閉, 所以當 MOSFET 用來作為數位邏輯的開關與記憶體應用上的低電壓、低功率元件使用。因此以次臨界擺幅(Subthreshold Swing, S.S. or S)定義為:

$$S \equiv \frac{dV_G}{d(\log I_D)} = \ln 10 \frac{dV_G}{d(10 I_D)} = 2.3 \frac{dV_G}{d(10 I_D)} = 2.3 \frac{kT}{q} \left(1 + \frac{C_d}{C_{ox}}\right) \quad (2.62)$$

而當次臨界斜率值越小, 將更適合, 作為開關元件並能夠快速開啟或關閉, 這表示臨界斜率越小時, On-Off 特性就越明顯[9-10]。

2.10.3 遷移率退化

由汲極電流公式可知，遷移率和汲極電流成正比關係，所以當閘極電壓不斷增加時，遷移率也隨之減小，而汲極電流也會跟著減小。這是因為 MOSFET 通道中載子的遷移率是受到垂直電場的影響如圖 2.24 所示，因為受到垂直電場的影響，使得載子受到吸引作用，於通道表面上產生散射現象。另外，遷移率也和溫度關係密切，因為當溫度愈高時，載子的表面散射與晶格散射愈嚴重，使得遷移率嚴重下降，所以遷移率和溫度是成反比關係。

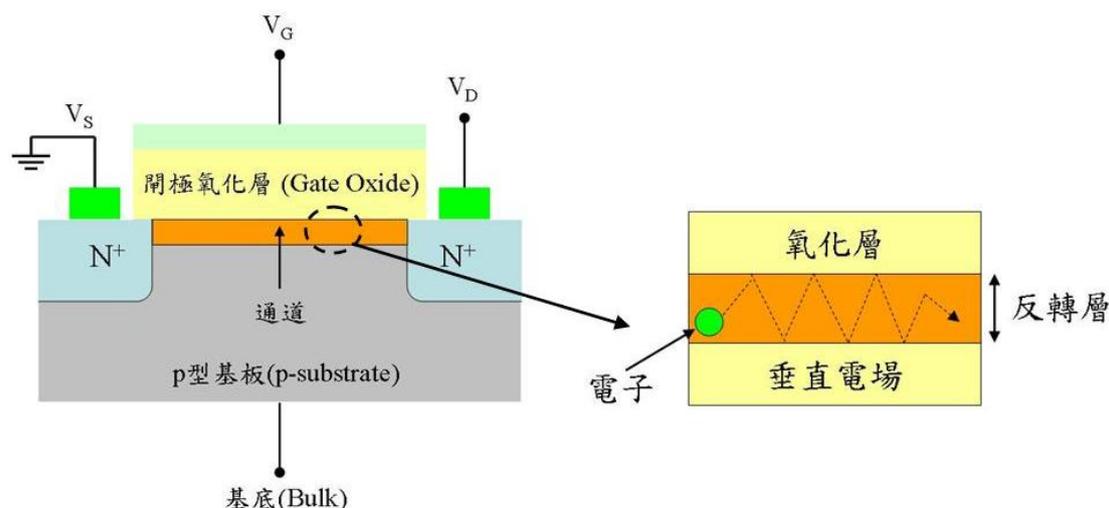


圖 2.24 n 型 MOSFET 通道中的電子受到電場作用示意圖[11]

2.11 短通道效應

當早期製程技術演進到通道長度小於約 $1\mu\text{m}$ 的 MOSFET 元件，會有一些以前長通道沒有發現的現象發生，而把這樣的現象稱為短通道效應(Short channel effects, SCE)[16-17]。短通道效應可能引起輸出特性關係的改變，元件漏電流的增加否或崩潰電壓(Breakdown voltage)下降等。若嚴重時，更有可能引起貫穿效應(Punch-through effect)，使得元件特性大幅低地衰減;此外，還會伴隨著次臨界擺幅的增加與汲極引起的能障下降(Drain-induced barrier lowering, DIBL)以及臨界電壓下滑(Threshold voltage roll-off)等現象。

2.11.1 通道長度調變效應

在飽和區操作的 MOSFET，在 V_{GS} 固定下， I_D 會隨著 $|V_{DS}|$ 增加而微微上升，這現象稱為通道長度調變效應(Channel length modulation effect)。圖 2.25 為通道長度調變的示意圖，其原理如下：

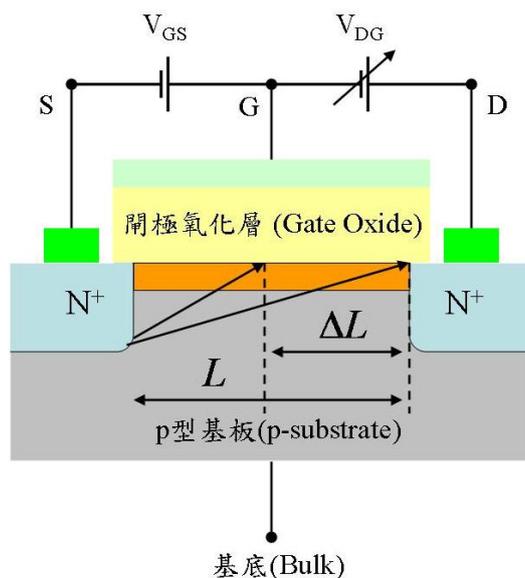


圖 2.25 通道長度調變示意圖

當 V_{GS} 固定， V_{DS} 增加 $\Rightarrow V_{DG}$ 增加

\Rightarrow D 端通道夾止點向 S 端靠近

\Rightarrow 通道有效長度 L 減少

\Rightarrow 通道電阻降低

$\Rightarrow I_D$ 增加

考慮通道長度調變效應特性曲線如圖 2.26 所示。

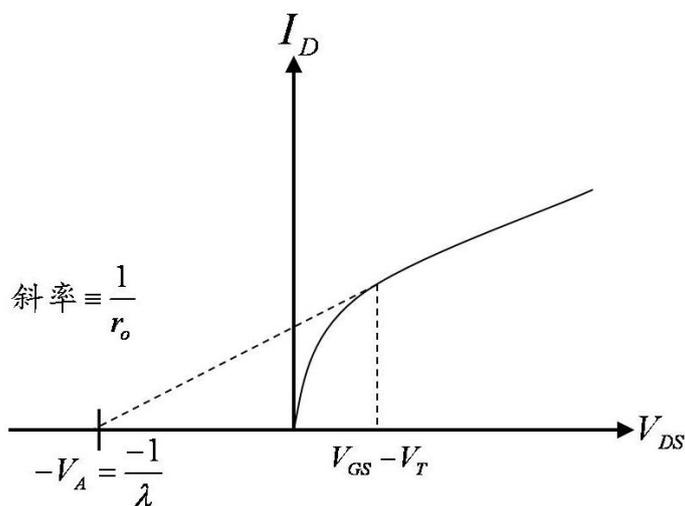


圖 2.26 長度調變效應特性曲線

從圖 2.25 可知，通道長度調變將使通道長度變成 $L - \Delta L$ ，因此電流方程式，須重新整理成下式：

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L - \Delta L} (V_{GS} - V_T)^2$$

$$I_D = \frac{1}{2} \mu C_{ox} (V_{GS} - V_T)^2 \frac{1}{1 - \Delta L/L}$$

$$I_D \approx \frac{1}{2} \mu C_{ox} (V_{GS} - V_T)^2 \left(1 + \frac{\Delta L}{L}\right) \quad (2.63)$$

故通道長度越小，其通道調變效應越大。而 $\frac{\Delta L}{L}$ 常與所加的 V_{DS} 有線性關係，可得

$$\frac{\Delta L}{L} = \lambda \cdot V_{DS} \quad (2.64)$$

透過外插法，在圖 2.26 可得 Early voltage(V_A)。

2.11.2 臨界電壓下滑

當通道的邊緣效應變得不可忽略時，隨著通道愈來愈小時，n 通道之線性區的臨界電壓會變得不像原先的那麼大，而 p 通道之線性區的臨界電壓會變得不像原先的那麼小。圖 2.27 為 $V_{DS}=0.05V$ ，臨界電壓下滑的現象。

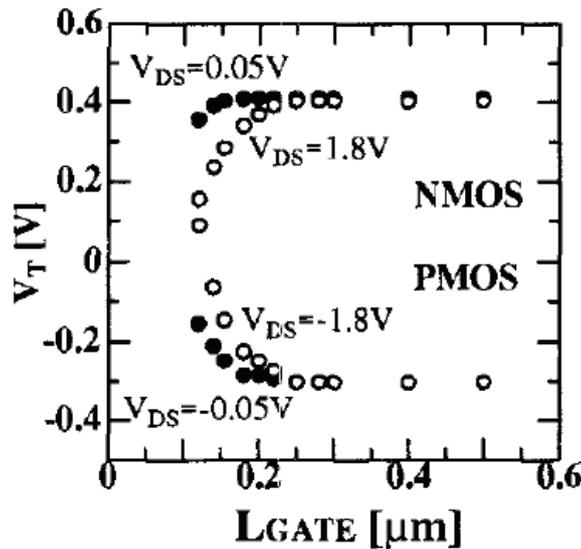


圖 2.27 於 $0.15\mu m$ CMOS 技術之臨界電壓下滑情形[32]

臨界電壓下滑可用電荷共享(Charge sharing)模型來解釋，如圖 2.28 所示

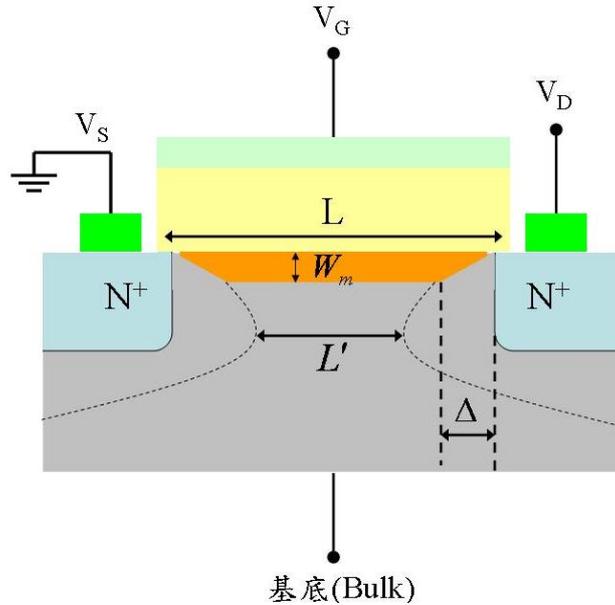


圖 2.28 電荷共享模型示意圖[18]

在此定義 f 為考慮短通道效應和不考慮短通道效應下的空乏區電荷比:

$$f \equiv \frac{Q'_{sc}}{Q_{sc}} = \frac{L' + L}{2L} \quad (2.65)$$

而考慮短通道效應之臨界電壓可得到:

$$V_T = \phi_{ms} - \frac{Q_{ox}}{C_{ox}} - \frac{fQ_{sc}}{C_{ox}} + 2\psi_B \quad (2.66)$$

臨界電壓的偏移量 ΔV_T 是由空乏區 $L \times W_m$ 變成梯型。對於短通道而言， Δ 與 L 相差不遠，所以導通元件所需的電荷會大幅降低，反之，對於長通道而言， Δ 遠小於 L ，所以電荷減少的量較少。

2.11.3 汲極引發的能障下降

當短通道 MOSFET 的汲極電壓由線性區增加到飽和區時，臨界電壓下滑更為嚴重時，此效應稱為汲極引致能障下降，簡稱 DIBL 效應。簡單來說，DIBL 是由汲極電壓由線性區增加到飽和區時，源極端能障下降的量等於臨界電壓所下降的量。圖 2.29 為 DIBL 在短通道時發生在 n-MOSFET 的示意圖。

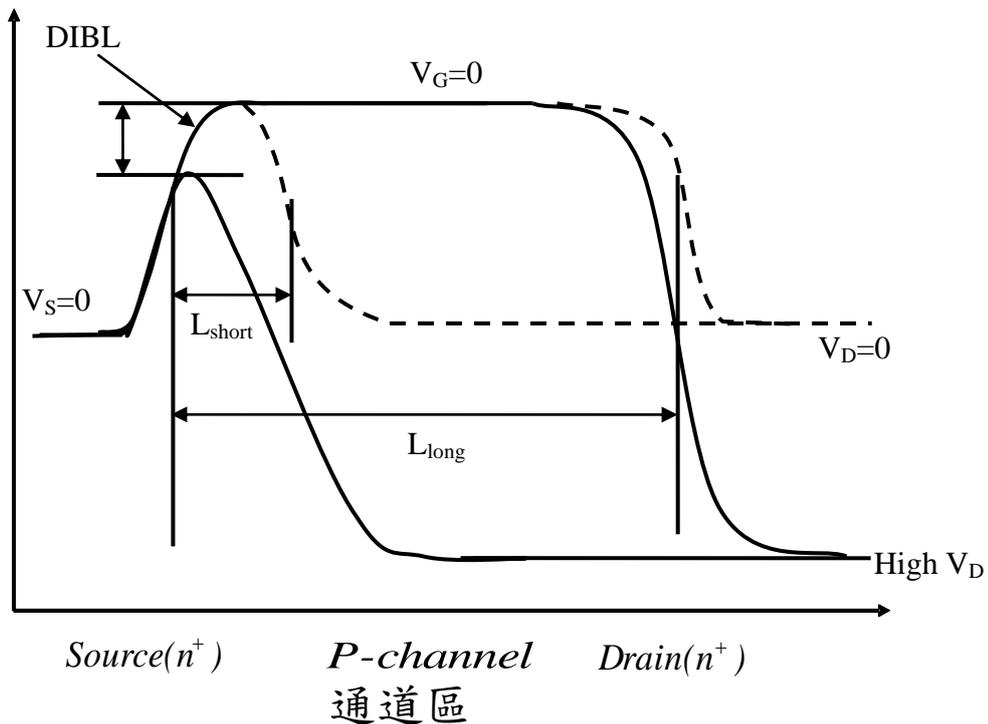


圖 2.29 為 DIBL 短通道時發生在 n-MOSFET 的示意圖[11]

DIBL 的發生會造成到次臨界電流的明顯增加，而短通道的次臨界電流會隨著汲極電流的增加而提升，但對長通道而言，次臨界電流就與汲極電壓大小無關。對於汲極電壓的增加會造成 ΔV_T 下降的量愈大，這表示 DIBL 的程度愈嚴重。另外，為了方便比較，業界常使用標準化(Normalization)表示法為下：

$$DIBL = \frac{\Delta V_T}{\Delta V_D} (mV/V) \quad (2.67)$$

2.11.4 貫穿

當汲極電壓夠大時，可能會有明顯的漏電流現象，汲極經由短通道 MOSFET 的基板本體流向源極，可以分為本體貫穿(Bulk punch-through)、表面下貫穿(Subsurface punch-through)、表面下 DIBL(Subsurfaced-DIBL)。而汲極接面的空乏層寬度會隨著汲極電壓增加而擴張，如圖 2.30 所示。此時發生貫穿的電壓即稱為貫穿電壓(Punch-through voltage)常以 V_{PT} 表示

$$V_{PT} \propto N_B (L - r_j)^3$$

其中， N_B 為矽基底摻雜濃度， L 為通道長度，而 r_j 為接面深度。

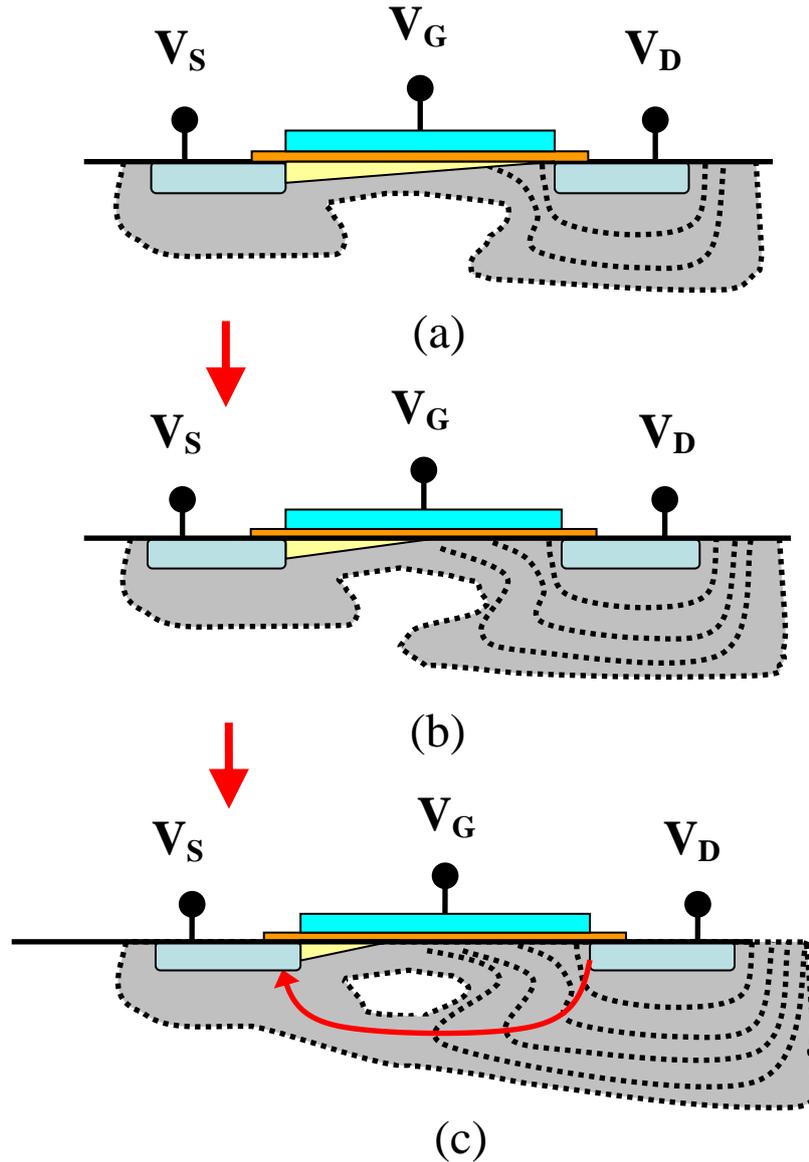


圖 2.30 (a)到(c)為貫穿現象的示意圖(灰色區域為空乏區)[11]

對於長通道元件而言，由於通道長度夠長，所以在還沒有達到 V_{PT} 之前，汲極端介面就會產生崩潰現象了，因此，貫穿對於長通道而言，通常不會有太大的影響。反之，對於短通道而言，貫穿效應影響就不可忽略了。DIBL 和貫穿的不同在於，DIBL 的次臨界電流變大，次臨界斜率不變，而貫穿的次臨界電流變大，另次臨界斜率變大。

2.12 米勒指數

矽為鑽石結構:為兩個相互交替的面心複晶格所組成，如圖 2.31 所示。

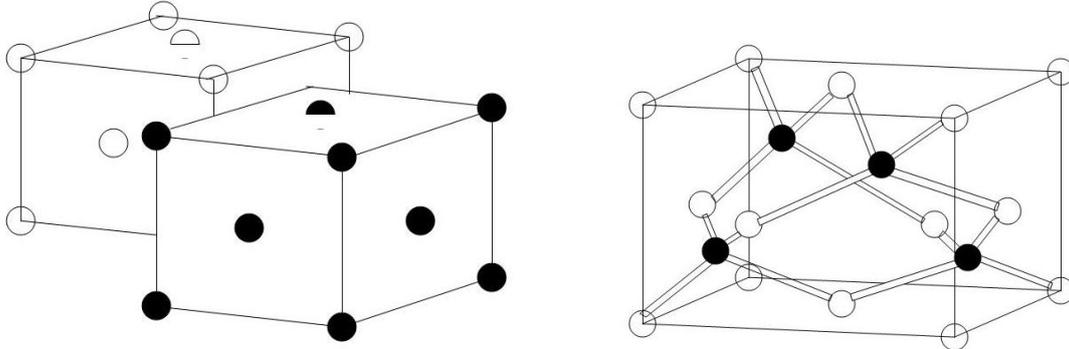


圖 2.31 矽的鑽石晶格結構[12]

米勒指數(Miller indices)是界定一晶體中不同平面的簡便方法。

這些指數可由下列步驟決定:

1. 找出平面在三直角座標上的截距值(以晶格常數為計量單位)，如圖 2.32(a)。
2. 取這三個截距值為倒數，並將其化簡成最簡單整數比，如圖 2.32(b)。
3. 將此結果以括號(hkl)表示，即為單一面的密勒指數，如圖 2.32(c)。

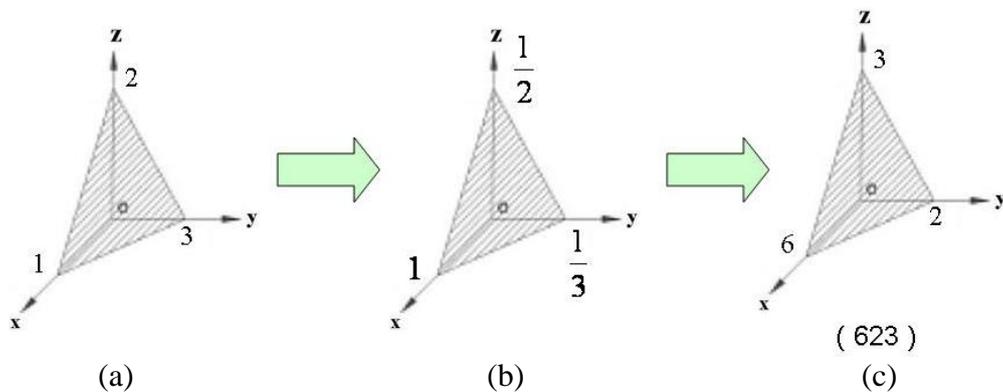


圖 2.32 米勒指數簡便算法

若將米勒指數標配合不同括號使用，則代表不同的集合

- (hkl):小括號代表單一平面， $(\bar{1}00)$ 代表在 X 軸上截距為負的平面。
- {hkl}:代表相等對稱的平面群，如在立方對稱平面中，可以{100}表示(100)、(010)、(001)、 $(\bar{1}00)$ 、 $(0\bar{1}0)$ 與 $(00\bar{1})$ 六個平面。
- [hkl]:代表一個晶體的方向，如[100]表示 X 軸方向。[100]方向的定義為垂直於(100)平面的方向。

- $\langle hkl \rangle$:代表等效方向的所有方向組，如 $\langle 100 \rangle$ 代表 $[100]$ 、 $[010]$ 、 $[001]$ 、 $[\bar{1}00]$ 、 $[0\bar{1}0]$ 與 $[00\bar{1}]$ 六個等效方向的族群。

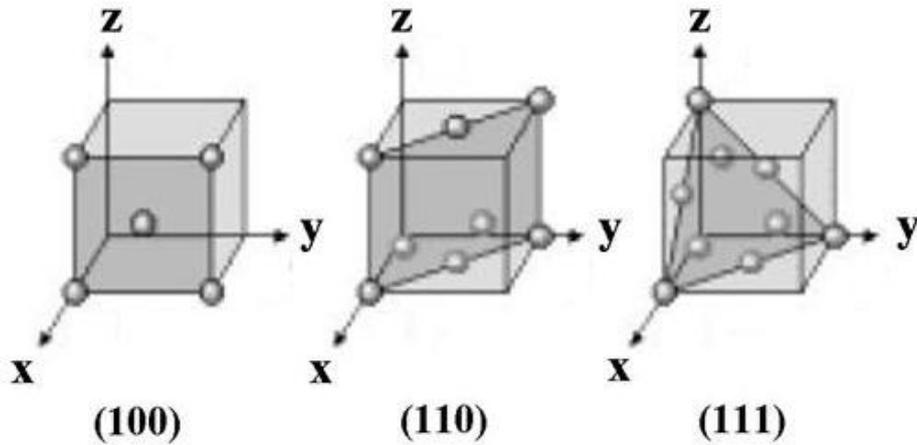


圖 2.33 不同平面方向之(100)、(110)、(111)

晶格方向對元件製作有三種影響：

1. 晶圓分割或裂片
2. 磊晶層的等方向沉積
3. 金氧半(MOS)元件的表面狀態電荷的密度

單晶矽晶圓在 $\{111\}$ 平面間最容易分開。一般情形，晶粒(Die)為長方形，最初的切割(鋸)的方向，如圖 2.34(a)或圖 2.34(b)所示。這樣可以得到最高的良率(Yield)。蝕刻坑(Etch pit)被斜的 $\{111\}$ 平面圍繞，矽 $\{111\}$ 表面顯示鑽石晶格的對稱，如圖 2.35 所示[13]。

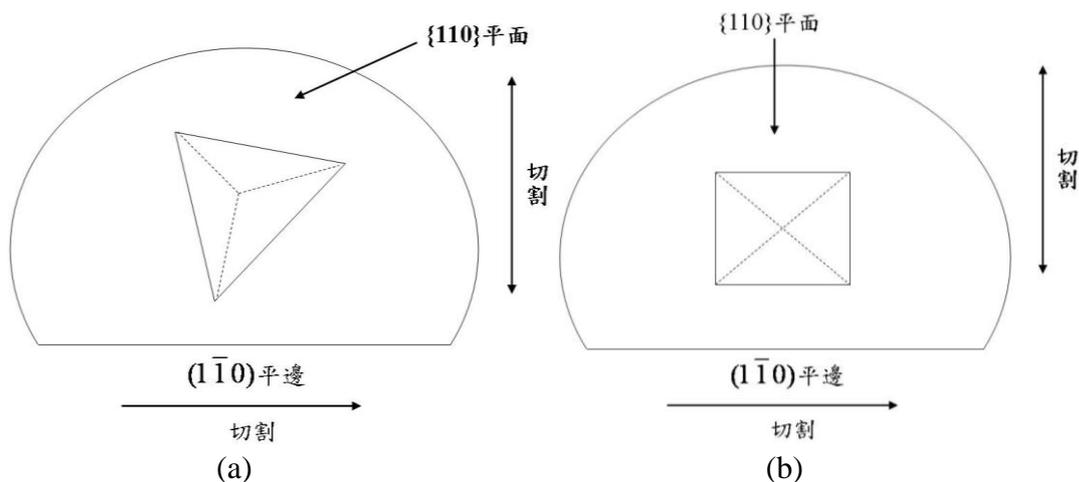


圖 2.34 矽的蝕刻圖案(a) $\langle 111 \rangle$ 和(b) $\langle 100 \rangle$ 長晶方向，以(110)平邊以及適當的切割方向為參考[13]

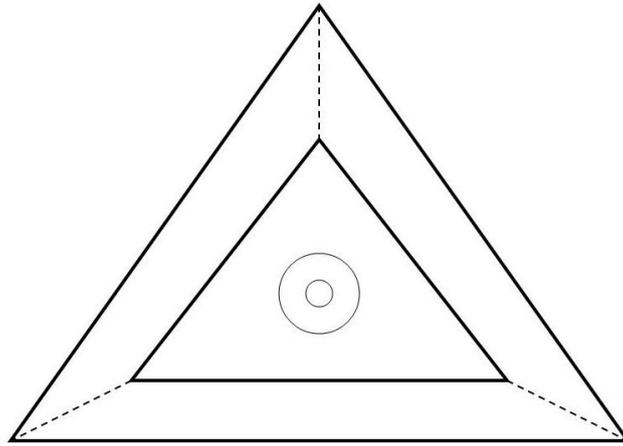


圖 2.35 矽{111}表面，具鋁合金區域，顯示鑽石晶格的對稱[13]

2.12.1 表面密度

晶格表面密度主要會影響蝕刻速率，進而影響產品的生產速度，以下為(100)、(110)、(111)面的表面密度：

(100)表面密度：

- 矽的晶格常數: $a=5.43\text{\AA}$
- 面積: $a \times a = a^2$
- 原子的單位面積: $4 \times 90^\circ/360^\circ + 1 = 2 \text{ atoms}$
- 表面密度: $2/a^2 = 6.78 \times 10^{14} \text{ atoms/cm}^2$

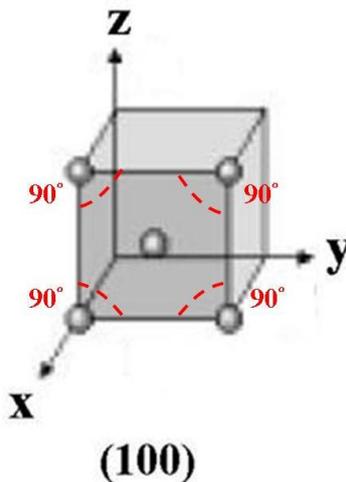


圖 2.36 (100)表面密度

(110)表面密度：

- 矽的晶格常數: $a=5.43\text{\AA}$
- 面積: $a \times \sqrt{2}a = 1.414a^2$

- 原子的單位面積: $4 \times 90^\circ/360^\circ + 2 \times 180^\circ/360^\circ + 2 = 4$ atoms
- 表面密度: $4/(1.414a^2) = 9.59 \times 10^{14}$ atoms/cm²

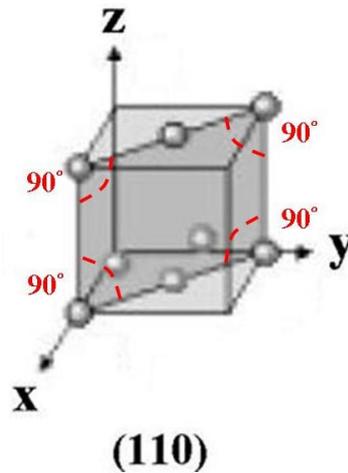


圖 2.37 (110)表面密度

(111)表面密度:

- 矽的晶格常數: $a = 5.43 \text{ \AA}$
- 面積: $\frac{\sqrt{3}}{4} \times \sqrt{2}a \times \sqrt{2}a = \frac{\sqrt{3}}{2} a^2 = 0.866 a^2$
- 原子的單位面積: $3 \times 60^\circ/360^\circ + 3 \times 180^\circ/360^\circ + 1.5 = 3.5$ atoms
- 表面密度: $3.5/(0.866a^2) = 1.37 \times 10^{15}$ atoms/cm²

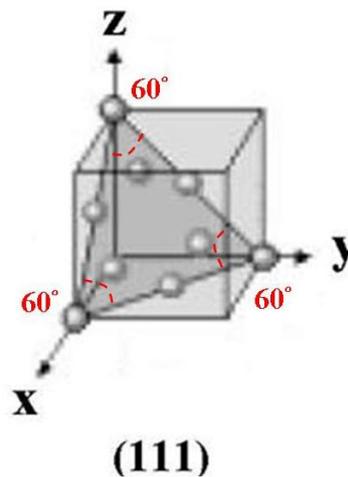


圖 2.38 (111)表面密度

2.12.2 蝕刻速率

矽的蝕刻速率與表面原子密度、晶格方向、摻雜濃度、蝕刻液成分、濃度、溫度與攪拌等參數有關。

由於矽屬於 Diamond cubic crystal 的結構。在<111>有最緻密的晶格密度，其次為<100>，而<110>的晶格密度最小。因此蝕刻速率由快到慢依序為<110>、<100>、<111>，而<100>與<111>方向夾角為 54.75 度。因此於蝕刻時將呈現 U 型蝕刻，最後兩面(111)平面沿<110>方向相遇而停止呈現 V 型如圖 2.39。

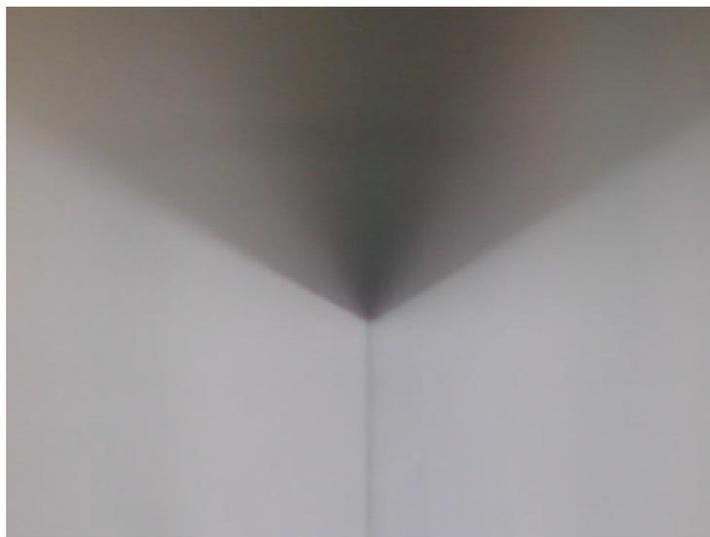


圖 2.39 (111)面上之圖形[14]

2.12.3 非等向蝕刻液

目前矽晶體的非等向蝕刻溶液有 EDP (Ethylenediamine-pyrocatecol-water) [14]、KOH(Potassium hydroxide-water)、TMAH (Tetramethylammonium hydroxide)、Hydrazine-water 溶液、及 CsOH(Cesium hydroxide-water)等。表 2.3 為非等向蝕刻液的比較。

有機溶液: TMAH、聯氨(Hydrazine)及 EDP

- 聯氨(Hydrazine)及 EDP 具毒性且不穩定
- TMAH 與 IC 製程相容，可以用二氧化矽作為蝕刻阻擋層(Etching mask)，無毒，但蝕刻速率較低。

鹼液: KOH，NaOH，LiOH，CsOH，NH₄OH，並可添加異丙醇(IPA)等。

- KOH 低毒性、較佳的蝕刻面，故常被使用，但鉀離子會污染 IC 製程。

	TMAH	EDP	KOH
操作及處理	易	難	易
毒性	無	有	無
矽的蝕刻速率	~1μm/min	0.02-1μm/min	1-2μm/min
蝕刻面平坦度	多變*	極佳	佳
IC 製程相容性	相容	相容	不相容
硼蝕刻停止	>10 ²⁰ /cm ³	≥5×10 ¹⁹ /cm ³	>10 ²⁰ /cm ³

其他材料的選擇性	Al ^{**}	Ta, Au, Cr, Ag, Cu	N/A
蝕刻阻擋層	Si ₃ N ₄ , SiO ₂	Si ₃ N ₄ , SiO ₂	Si ₃ N ₄

Note: etch rate of SiO₂=435 nm/hr at 80°C 30% KOH

表 2.3 非等向蝕刻液的比較[12]

第三章 應變矽元件

3.1 應變矽元件簡介

傳統互補式金氧半電晶體(CMOSFET)微縮至奈米等級後，為提升半導體元件之驅動電流，元件製程技術都朝向短通道元件設計。然而，短通道效應在於傳統元件製程裡會愈來愈明顯，使得短通道與長通道元件差異甚大，為減少短通道與長通道之差異性，將著重於元件特性的改善。由於應變矽易於整合進入 CMOS 製程，使得應變工程與技術廣泛地被研究。在目前許多大廠中，已經積極地開發或是列入下一製程時代開發重點。再遵循莫爾定律(Moore's law)中，CMOS 元件在進入奈米時代時，已經受到嚴重的考驗了，當中影響較大是載子遷移率的提升，因為元件的微縮下，受到垂直電場的增強使得載子遷移率因而降低，因此利用 SiGe virtual substrate 的觀念上，形成 Si 應變形層(Strained layer)以提高載子的遷移率，並配合原有的 CMOS 製程和結構改變下，即有可能提高元件的特性。

3.2 全面性應變矽元件特性

近年來，其他學者也提出使用應變矽技術以提高元件的載子遷移率[1]。一般來說，應變矽又可分為單軸應變矽和雙軸應變矽。早期主要以雙軸應變技術為主，乃利用矽/鍺晶格常數之不同來產生應變。Ge 與 Si 都屬於 IV 族，Si 的晶格常數為 5.431\AA ，Ge 的晶格常數為 5.657\AA 。但因晶格常數與能帶間隔不同， $\text{Si}_{(1-x)}\text{Ge}_{(x)}$ 晶格常數依 Ge 含量增加而變大，而能帶間隔(E_g)則隨 Ge 含量增加而減少。以下為晶格結構：

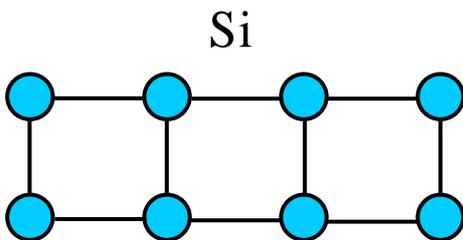


圖 3.1 Si 晶格結構圖

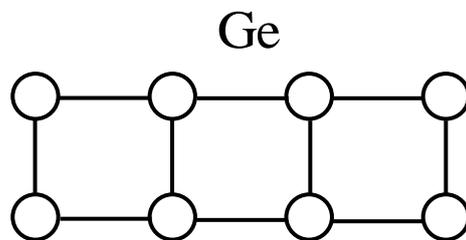


圖 3.2 Ge 晶格結構圖

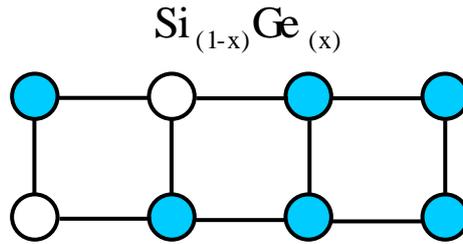


圖 3.3 Si-Ge 晶格結構圖

其 E_g 關係式可得到以下表示式[15]:

$$1.12 - 0.41x + 0.008x^2 \text{ eV}, \quad x < 0.85 \quad (1.12\text{eV 為矽能階能隙})$$

$$1.86 - 1.2x \text{ eV}, \quad x > 0.85$$

全面性應變可以得到較大的應變量，可提高載子遷移率，同時晶片的表面仍然呈現完整的晶格，所以可以成長高品質的閘極氧化物，這與原有的 MOS 有相同品質的介面，並與後續的製程相同，因此可直接應用在產品上。全面性應變的拉伸方式是雙軸(Biaxial)，由於改變能帶與價帶的結構，造成能帶的分離，使得電子更容易固定聚集在能帶中，因此，有效電子質量(Effective mass)降低，並且也降低了載子在電子的谷間散射(Inter-valley scattering)情況與能帶間的散射(Inter-band scattering)情況減少，進而提升載子遷移率。但由於局部性應變(Local strain)較能降低成本以及局部性應力對元件效能影響越來越大，所以目前也朝局部性應力為發展趨勢。

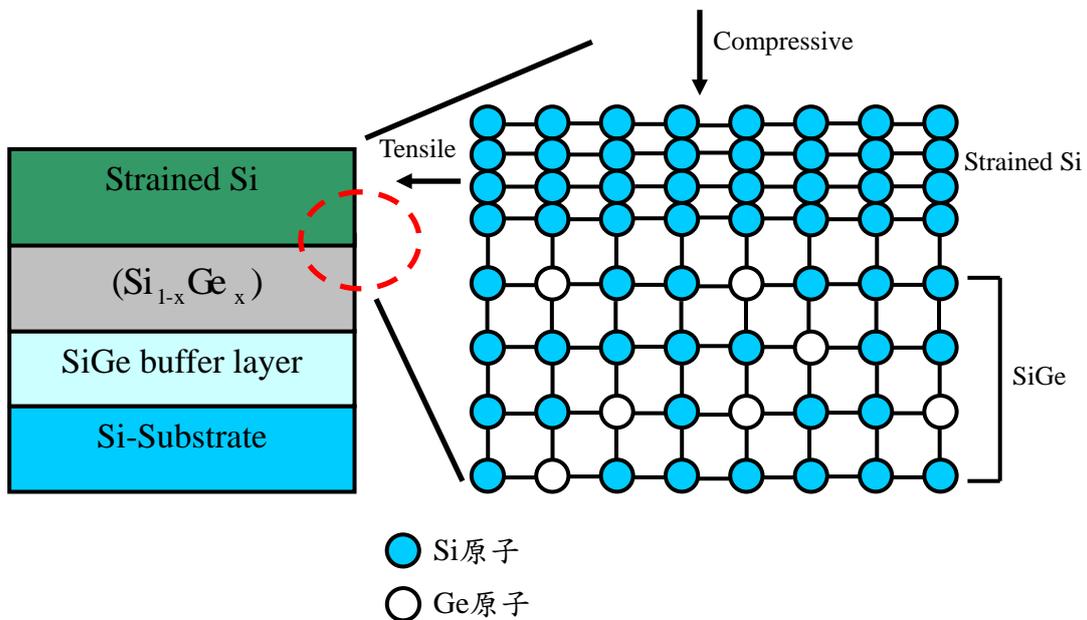


圖3.4 全面應變矽電子、電洞遷移率增加結構圖[11]

3.2.1 全面性應變矽之物理機制

就上一節所敘，應變矽在通道中的應變引起的導帶(Conduction band)與價電代(Valence band)的分離(Splitting)，進而提升電子的載子遷移率，也因導電帶的分裂使得載子在導電帶中會先填到能量較低的 Δ_2 能谷，所以降低 Δ_2 能谷與 Δ_4 能谷之間電子的谷間散射(Inter-valley scattering)，進而提升電子的載子遷移率，如圖 3.5 所示。當中每一個垂直軸傳輸質量和一個水平軸傳輸質量，在電子還沒經過 Strain 應力前，分別要填到六個能谷的機率是相同的，以下為在通道方向的有效質量

$$m^* = \left[\frac{1}{6} \left(\frac{2}{m_l} \right) + \left(\frac{4}{m_t} \right) \right]^{-1} \quad (3.1)$$

其中 m_l :縱向質量(Longitudinal mass)與 m_t :橫向質量(Transverse mass)。

而經過 Strain 過後，可以有效地降低在通道上的傳輸上的有效質量，進而提升載子的遷移率。

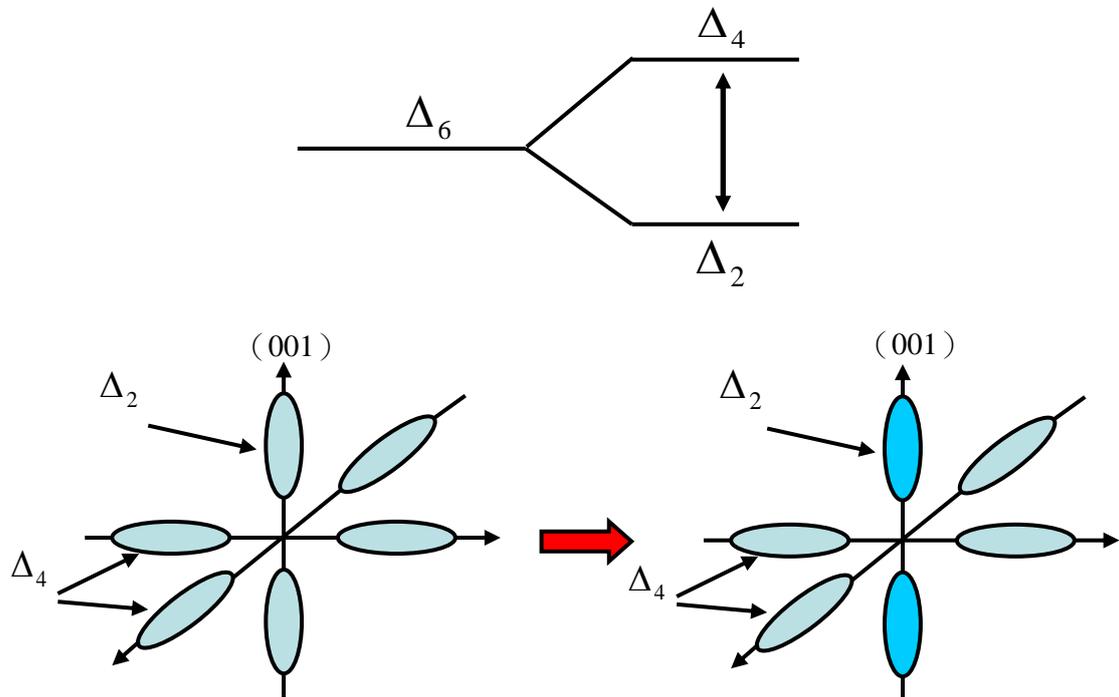


圖 3.5 全面應變矽能谷變化圖[11]

3.3 局部性應變矽元件特性

最早研發出來是 Intel 公司，在 2002 年宣佈將在 90 奈米製程導入此技術。單軸應變矽的一個重要特點就是，在高電場下，依然會保持高遷移率並不會像全面應變矽之電洞遷移率下降的現象，另外，就是這種應力只能增強一種形式的 MOS 元件，例如是增加電子遷移率或是增加電洞遷移率，所以單軸應變對載子遷移率的影響並不同，在 X、Y、Z 三方向可分別得到不同載子遷移率的變化，如圖 3.6 與表 3.1 所示。從表列可以看出，在 X 軸方向，拉伸(Tensile)應變會使得 n 型電子遷移率提高，並抑制 p 型的電洞遷移率，反之，若以壓縮(Compressive)應變方式的話，會使 n 型電子遷移率降低，但提高 p 型的電洞遷移率。若 X、Y 平面位於拉伸應力下，電子或電洞的載子遷移率，皆有明顯的提高[16]。對於 p 通道元件而言，電洞載子遷移率的增加是由於有效質量(Effective mass)的減少；對於 n 通道電晶體載子遷移率增加而言，則為載子在電子的谷間散射(Inter-valley scattering)情況與能帶間的散射(Inter-band scattering)情況減少有關。單軸應變的原理則是採用某些製程步驟：

1. 淺溝槽絕緣(Shallow Trench Isolation, STI)。
2. 矽化反應(Silicidation)
3. 接觸蝕刻停止層(Contact Etch Stop Layer, CESL)
4. 矽鍺源汲極(SiGe S/D)重填等製程相關的結構，運用其存在之應力，施加於元件上，以形成應變通道[17]。

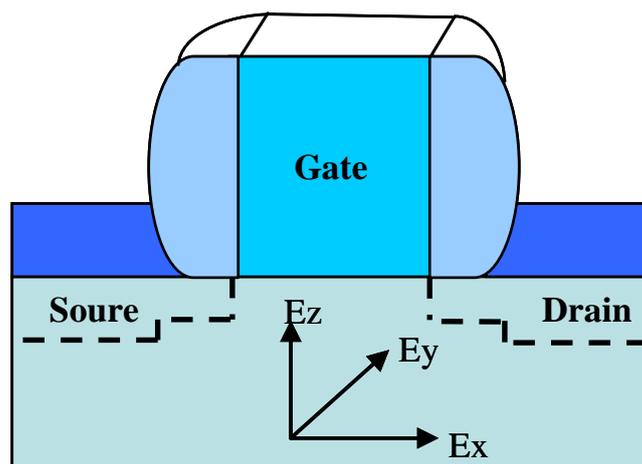


圖 3.6 Strain 應力方向之 3D 示意圖

應力方向	CMOS速度表示	
	NMOS	PMOS
X	提升	下降
Y	提升	提升
Z	下降	提升

表 3.1 不同方向的 Local strain 對 CMOS 的影響

圖 3.7 為局部拉伸應變矽的 n/p MOS，在 SEM 下之截面圖所示。圖 3.8 為局部壓縮應變矽在 n/p MOS，在 SEM 下之截面圖所示。

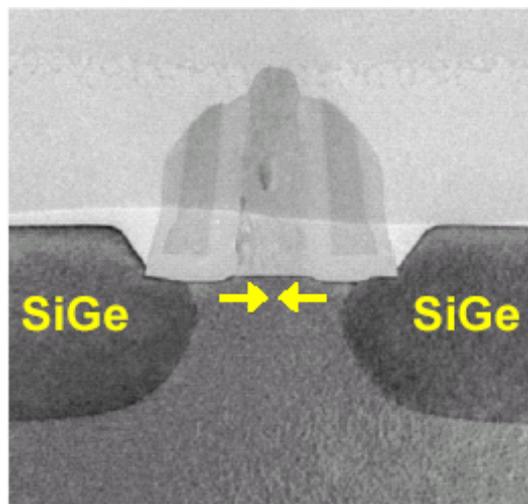


圖 3.7 為局部應變矽在 n/p MOS 作拉伸[18]

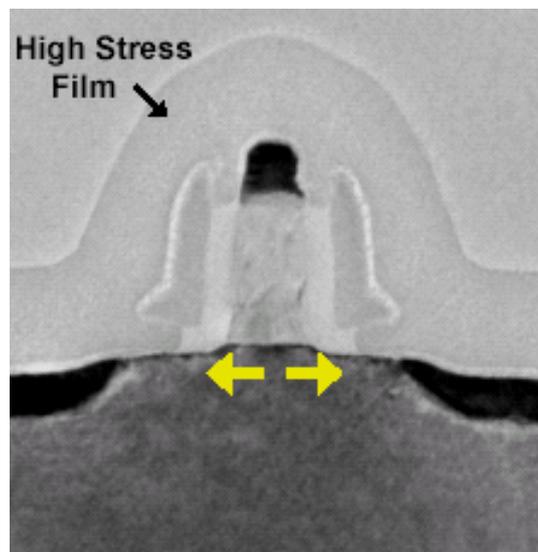


圖 3.8 為局部應變矽在 n/p MOS 作壓縮[18]

利用製程方式在 nMOS 電晶體上沉積拉伸的氮化矽層(SiN)對通道有拉伸作用，以提高 nMOS 的電子遷移率。另外，亦可在 pMOS 的源極、汲極(S/D)兩端挖深，並成長 SiGe 層，並利用 SiGe 擠壓縮通道而形成壓縮應力，進而提升 pMOS

的電洞遷移率。圖 3.9 為應變矽在 n/p MOS 拉伸或壓縮結構圖。一般沉積氮化矽層有兩種方式:第一種是使用高溫成長化學氣相沉積(High temperature chemical vapor deposition, CVD)，這種沉積氮化矽層常具有拉伸應變的效果，另外，第二種則是利用電漿輔助化學氣相沉積(Plasma enhanced chemical vapor deposition, PECVD)，而這種沉積氮化矽層常具有壓縮應變的效果[19]。利用通 N_2 或 SiH_4 氣體的比例混合改變，也可達到適當的伸/壓應變調變。

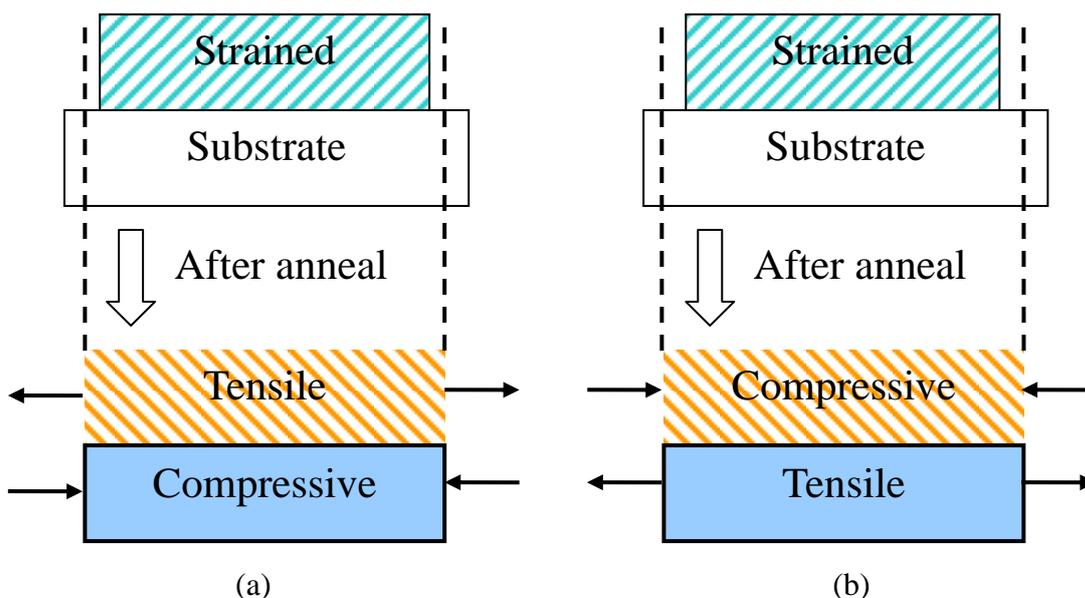


圖 3.9 應變矽在 n/p MOS (a)拉伸和(b)壓縮的結構圖

局部應變矽與全面應變矽的不同，在於全面應變矽需做在同一晶片上，而局部應變矽製程可獨立製作完成單一的 n/p MOSFET，這樣可以免除全面應變矽可能造成的基材缺陷，如差排(Dislocation)等。由於 $Si_{(1-x)}Ge_{(x)}$ 是合金方式的成長在矽基材上的，因此它存在兩種情況，以下為介紹兩種不同的成長方式。

3.3.1 非共度成長

圖 3.10 為非共度成長(Non-commensurate growth)示意圖。磊晶層材料按照其自身的晶格常數規律地排列原子，但由於兩者的晶格常數不同，在它們的成長界面處會形成界面缺陷。若界面缺陷的大量存在於它們向磊晶層中的延伸，則會形成線差排，嚴重時，會影響材料的光學和電學特性，所以這一種成長方式是成長 SiGe 材料時，不希望出現的現象。

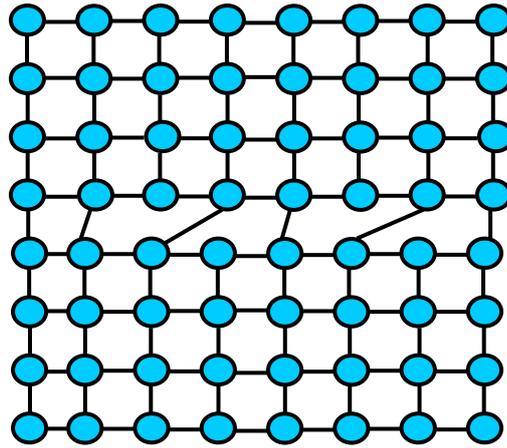


圖 3.10 為非共度成長示意圖[15]

3.3.2 共度成長

圖 3.11 為共度成長(Pseudomorphic growth)[21]示意圖。磊晶層材料按照基板材料的晶格常數往上成長，而磊晶層水平方向的晶格常數與基板一致，這樣就消除了界面處的晶格界面缺陷，因此在 Si 基板上成長 SiGe 時，SiGe 層在水平方向上，將受到壓縮應力，垂直方向上，將受到拉伸應力，從而使它的能帶結構和電子特性會產生一些新的變化。不同的方式可提升不同的載子遷移率。

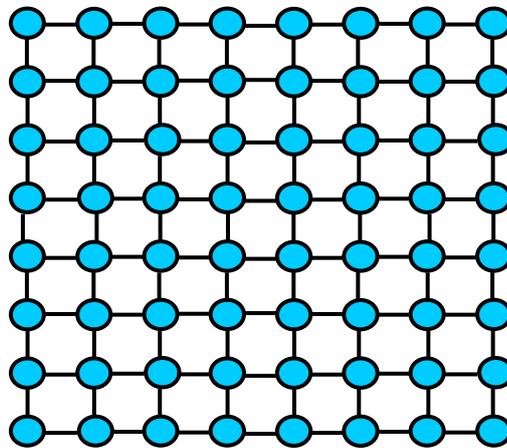


圖 3.11 為共度成長示意圖[15]

以下表 3.2 為全面性應變矽與局部性應變矽的優缺點比較，而表 3.3 為各種製程技術對於各種應變方式的比較。

全面應變矽	局部應變矽
<p>優點:</p> <ol style="list-style-type: none"> 1. 不會改變物理結構。 2. High G_m/I_{on}。 	<p>優點:</p> <ol style="list-style-type: none"> 1. NMOS 與 PMOS 性能單獨地改變。 2. 有較少缺陷以及接面問題。 3. 與現有製程相容。 4. High G_m/I_{on}。 5. 降低成本
<p>缺點:</p> <ol style="list-style-type: none"> 1. 鍺含量太高，會產生較粗糙表面與較多缺陷密度。 2. 差排(Dislocation)，加速雜質擴散或造成 S/D 的漏電途徑。 3. 當閘極與 STI 距離減少，STI 所產生壓縮應力會減弱應變矽層的拉伸應力。 4. 材料與製程整合問題。 	<p>缺點:</p> <ol style="list-style-type: none"> 1. Silicide 造成應變鬆弛(Strain relaxation)，降低應有的遷移率。

表 3.2 全面性應變矽與局部性應變矽的優缺點比較[18]

比較應變矽技術	nMOS	pMOS	技術
雙軸拉伸	上升	上升	Strained Si/ Relaxed SiGe
雙軸壓縮	降低	上升	Strained SiGe on Insulator (SGOI)
單軸拉伸	上升	降低	CESL
單軸壓縮	降低	上升	SiGe S/D

表 3.3 為各種技術對於各種應變方式的比較[17]

3.4 應變矽元件面臨之問題

雖然應變矽元件與 CMOS 的製程相容，但依然會面臨一些製程上的考驗，以下乃可能之危機問題所在：

1. 由於 SiGe 的能隙[22]比 Si 還要來得小，這會使得應變矽會比 Si 的界面漏電流更為嚴重，雖然在高性能元件上的應用影響較不重要，但依然需要謹慎地對漏電流這部分進行改善。
2. 在製程中的熱預算(Thermal budget)[23]會影響到摻雜物在 SiGe 中進行擴散外，也會使得晶格結構重新排列，而由於應變鬆弛(Strain relaxation)會降低原有的載子遷移率，使得載子遷移率降低。
3. 而在目前生產方面遇到最大的瓶頸，在於不容易生產高品質的矽鍺基板，在傳統上，矽鍺基板是普通的矽基板上生長一層很厚的矽鍺合金，稱為虛擬基板，但由於矽鍺合金和矽基板的晶格大小相差太大，當生長的矽鍺合金太厚時，為了能釋放位能，所以在表面上會產生許多缺陷的現象，這些缺陷會嚴重破壞元件的電性。
4. 由於 SiGe 的熱傳導係數不好，在 Bulk strain-Si 的應用上，會有類似 SOI(Silicon-on-Insulator)Self-heating[24]的現象，因此，會因溫度在高電場下造成載子遷移率的下降現象發生，表 3.4 為各材料的傳導係數。

熱傳導係數 (bulk)	
Si	168W/Km
Si _{0.7} Ge _{0.3}	8.3W/Km
SiO ₂	1.4W/Km
Ge	59.9W/Km

表 3.4 各材料的熱傳導係數[11]

3.5 應變矽元件應用

應變矽及絕緣層覆矽(Silicon on insulator, SOI)的整合可有效地提升性能，由於兩者的製程並沒有衝突之處，可將兩者整合一起，這可稱為應變矽 SOI(SGOI)。因為 SOI 的製程技術所製作出來的 MOSFET 具備有高絕緣性、低

寄生電容、良好的隔離，以及應變矽極高的載子遷移率和較大驅動電流等優點。通常電晶體的操作速度會受到寄生電容的影響，早期元件因為通道與植入濃度較小，因此，造成元件的寄生電容並不大，以致於不會造成元件操作速度變慢。然而，當元件尺寸為縮至奈米等級時，濃度較高的通道就必須避免短通道效應和貫穿的現象發生，這時，會間接地造成很大的寄生電容，因而會降低元件操作速度。

而 SiGe 技術所引起於 SiGe HBT(SiGe hetero-junction bipolar transistor)異質接面電晶體技術上，利用 SiGe 磊晶薄膜形成基極層，已大幅地提升 Bipolar 電晶體高頻特性。而 SiGe HBT 元件技術，已可整合運用在手機和光通訊的射頻以及中頻積體電路設計與製造上了[20]。

第四章 實驗與結果

4.1 整體實驗架構說明

為了得到應變矽元件之特性曲線量測，首先必須要量出 I_D-V_D 、 I_D-V_G ，在此先針對整體實驗所使用儀器與設備作介紹。利用八吋半導體半自動探針量測機台與半導體參數分析儀 Keithley Instruments C4200，可以整合一套基本半導體參數量測系統，如圖 4-1 所示。

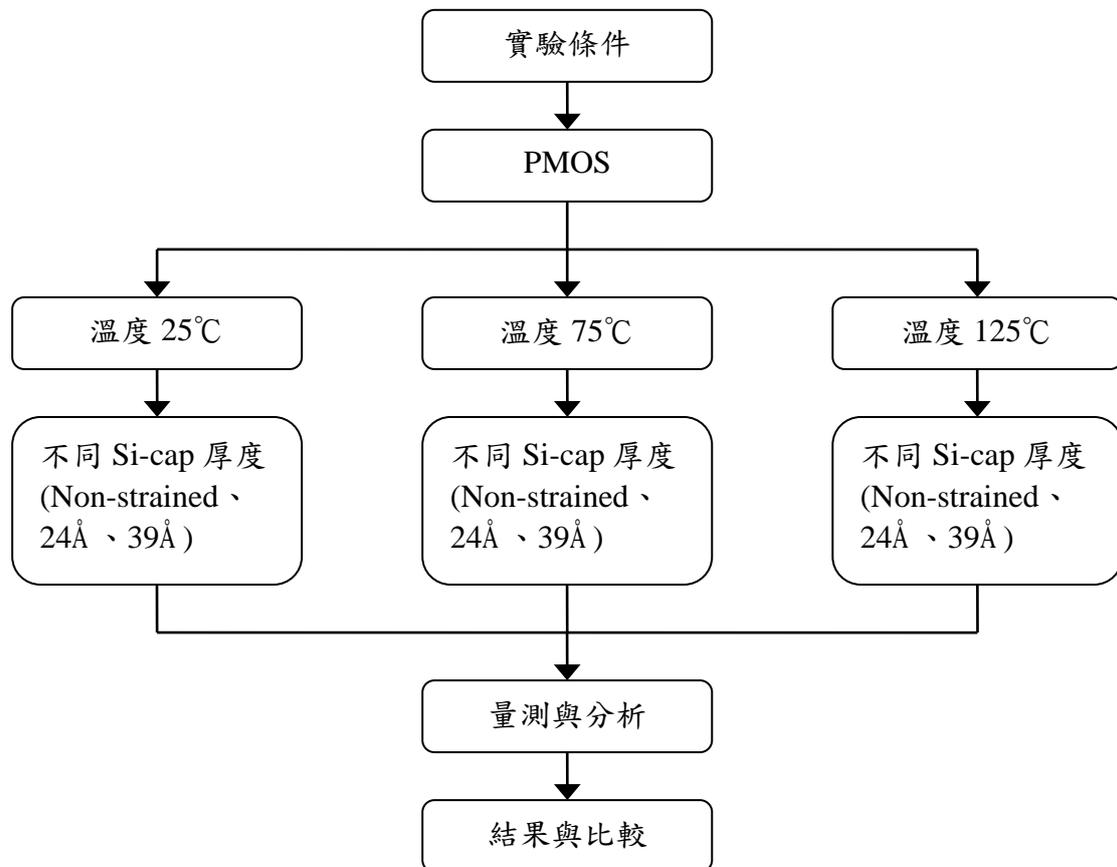


圖 4.1 量測實驗流程圖

4.1.1 八吋半導體手動探針量測平台(Probe station)

半導體手動探針量測平台，主要是讓研究人員能夠針對特定的單一晶圓做為手動量測作用，而 IC 設計人員、元件工程師或製程人員等，會在晶圓上設計許多的測試鍵(Test key)，除了可以在第一時間將製程與元件的參數呈現給顧客知道外，並也可在 Fab 廠製作完畢之晶圓，利用這些測試鍵做為基本的產品生產測

試。但相對地學校的設備無法與業界的 Fab 廠機台相比，學校提供的乃是較簡易的手動或半自動量測平台，不同於業界自動化設備上，畢竟業界以量產為考量，所考量的出發點也不同，相對設備等級與需求也會大大地不同。再者，維護人員的訓練也相對的重要，在 Fab 廠，都會有特定的設備工程師在維護，並提供各機台的穩定度校正。而對於要如何利用 GPIB 介面，如圖 4.2 所示，整合為一套自動量測系統，量測機台程式語言的學習，也會是重要課題之一。對於業界而言，也會有專屬人員去開發和維護。



圖 4.2 GPIB 介面控制卡

在進行量測時，當探針點測在晶圓上時，需要盡量地遠離測試平台，以免不必要的碰撞，所以都會加上防震桌於測試平台上，因為如果碰撞到測試機台，會使得已經放置在晶圓上的探針，會產生滑動的現象，嚴重時，會使探針斷裂或歪斜，進而必須更換探針。在量測時，還需注意到漏電流的部分，在空針量測時，量測之電流量級至少在 Femto 等級(10^{-15} A)。因此，量測實驗時，對於環境的要求極為重要，以避免造成數值上的誤差，另外在量測同時，最好隔絕所有的發光源，因光的能量直射至晶圓表面，會使元件因受到能量激發，產出更多的電子電洞對，為了避免實驗數據有失準確性，在量測同時必須關閉所有日光燈，並以黑色布簾隔離所有光源。下圖 4.3 為八吋手動探針量測平台。



圖 4.3 八吋手動探針量測平台

4.1.2 半導體參數分析儀 Agilent 4156C

目前常見的半導體參數分析儀主要有美商吉時利儀器 Keithley instruments C4200 以及安捷倫 Agilent 4156C，本實驗所使用的儀器為 Keithley instruments C4200 和安捷倫 Agilent 4156C。Keithley instruments C4200 的內建文件說明及隨點即用的介面，都加快與簡化了讀取資料步驟，所以使用者可以很快的得到分析結果，而 Agilent 4156C 則是需要藉助手動操作的。如圖 4.4 所示，為 Agilent 4156C 半導體參數分析儀，可應用在高精密度 Wafer level test 以及 Diode、BJT、MOS、IC... 等半導體元件特性的測量。以下為 Agilent 4156C 功能表介紹。

半導體參數分析儀	
可量測電壓範圍	2 μ V-200V
可量測電壓解析度	2 μ V
可量測電壓準確度	700 μ V
可量測電流範圍	10fA-1A
可量測電流解析度	10fA

析度	
可量測電流準 確度	3pA
最高取樣點	10,001 (linear、log、thinned-out)
脈波寬度	0.5msec-100msec
取樣解析度 (Auto)	60 μ s-480 μ s 解析度為 20 μ s 480 μ s-1s 解析度為 80 μ s 1s-65534s 解析度為 2ms

表 4.1 Agilent 4156C 功能表

另外，Agilent 4156C 系統軟體使用是 Agilent Technologies 所提供的 ICS 軟體進行自動控制，能方便且快速進行量測。而一開始量測時，在設定間隔值(Step)時，先以較大的間隔值作為第一次掃描，若要更精準的解析度值時，在降低其間隔值，這樣可減少不必要的時間在操作量測上，此外，可以外接一台個人電腦，透過 GPIB 卡可以直接作為 4156C 設定，然而，設定值須依不同量測元件給予不同的設定值，要特別注意的是，盡量不要提供太大電壓值，以避免造成閘極氧化層崩潰。



圖 4.4 Agilent 4156C 外觀示意圖

4.1.3 Agilent E5250A

Agilent E5250A 低漏電流切換開關處理器，可將單一測量機台，如 Agilent 4156C 或 4284A 連接到自動化操作的測量系統。圖 4.5 為 Agilent E5250A 外觀示意圖。



圖 4.5 為 Agilent E5250A 外觀示意圖

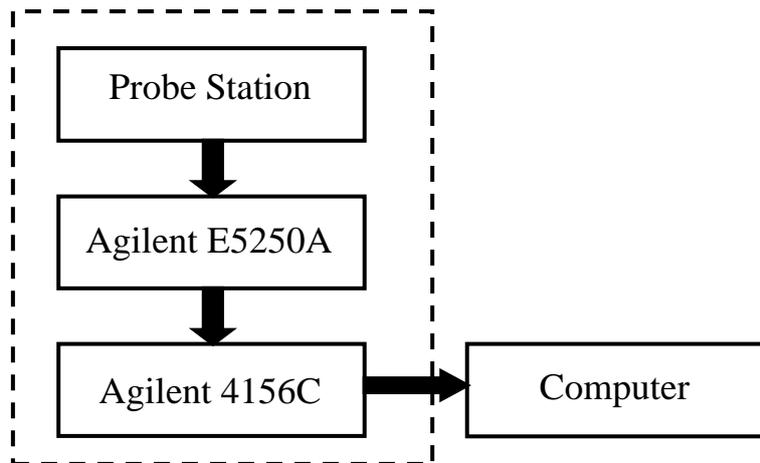


圖 4.6 Agilent 4156C 自動量測系統示意圖

4.2 元件介紹

在此初步介紹應變矽元件製程，一開始以 P-well 和 N-well 為基底，在沉積一層 Epi-Si buffer layer 厚度為 50\AA ，並在 STI 後沉積 100\AA 的 Epi-SiGe，接下來在沉積 Epi-Si capping layer 厚度分別有 24\AA 、 39\AA 不同厚度，而這一層 Si-cap 層可減少 SiGe 通道的介面缺陷(Interface-trap)，接著沉積 1500\AA 厚度於 Poly-silicon gate electrode 層上，並沉積氮化矽(SiNx)於 pMOSFET 和 nMOSFET 元件閘極上。圖 4.7 為應變矽元件製造程序。圖 4.8 為 SiGe pMOSFET 結構圖[18]，圖 4.9 為元件的鳥瞰圖，圖 4.10 為接面的圖形(a)Bulk 類型 (b) Fingers 類型。

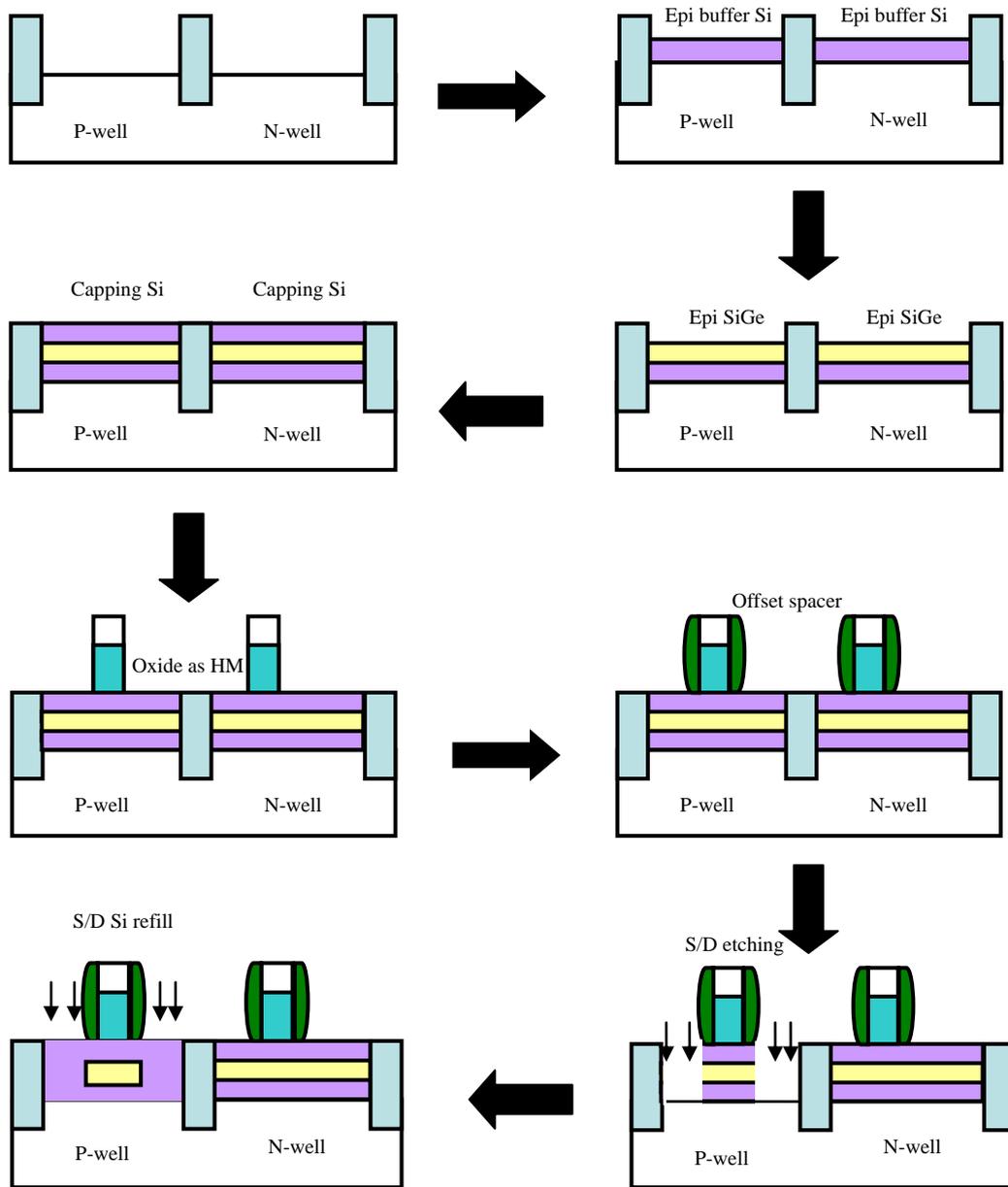


圖 4.7 應變矽元件製作程序[18]

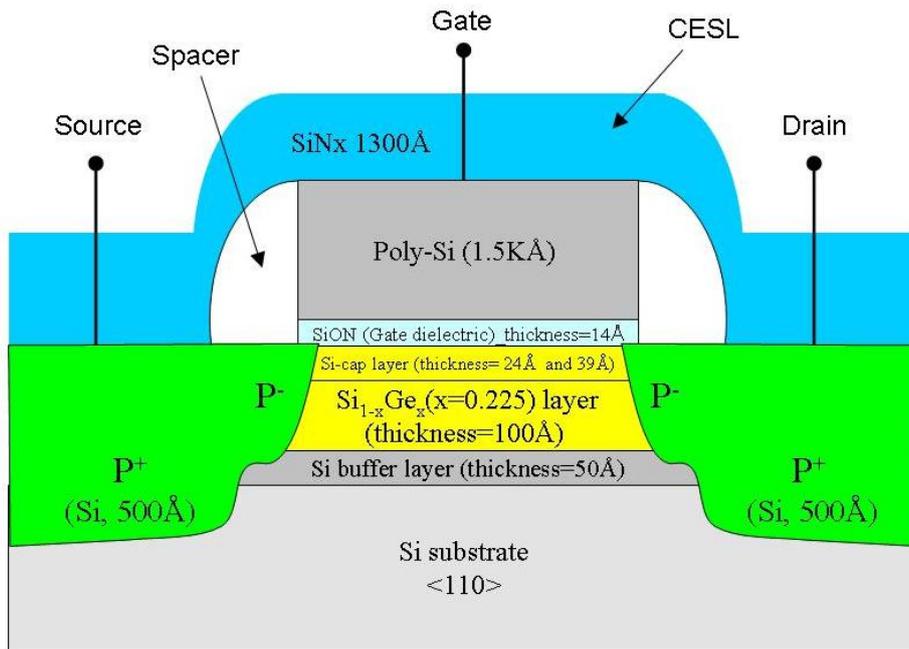


圖 4.8 SiGe pMOSFET 結構圖

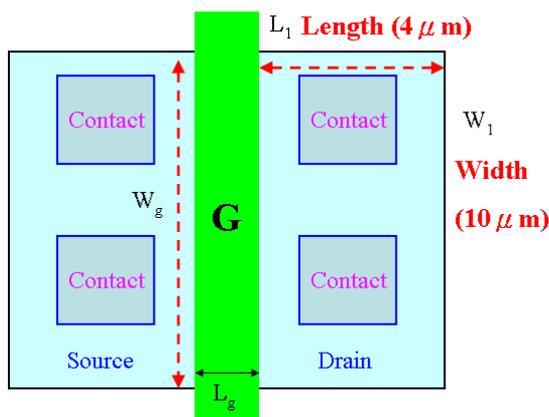
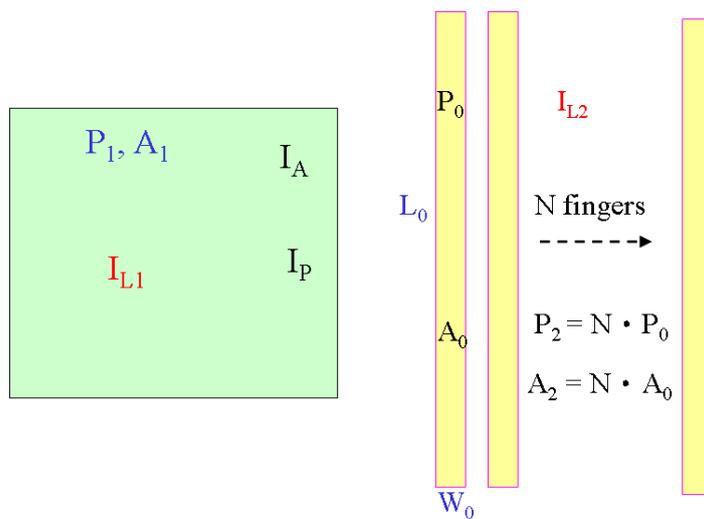


圖 4.9 元件的鳥瞰圖



(a) (b)

圖 4.10 接面的圖形(a)Bulk 類型 (b) Fingers 類型

4.3 實驗條件

本論文以 p 型元件下的 I_D - V_D 、 I_D - V_G 、Mobility-temperatures、Junction leakage-temperatures 特性曲線做為分析。第一階段 CESL compressive 元件，其溫度設定在 25°C，並以尺寸 $W/L=10\mu\text{m}/10\mu\text{m}$ 、 $10\mu\text{m}/0.08\mu\text{m}$ 在不同的 Si-cap 厚度下，對元件的接面處作漏電流分析比較。第二階段 CESL compressive 元件，其溫度在 75°C 並以尺寸 $W/L=10\mu\text{m}/10\mu\text{m}$ 、 $10\mu\text{m}/0.08\mu\text{m}$ 在不同的 Si-cap 厚度下，亦對元件的接面處作漏電流分析比較。最後，以 CESL compressive 元件，其溫度設定在 125°C 並以尺寸 $W/L=10\mu\text{m}/10\mu\text{m}$ 、 $10\mu\text{m}/0.08\mu\text{m}$ 在不同的 Si-cap 厚度對元件的接面處亦作漏電流分析比較。而元件的電特性，在溫度 25°C 到 125°C 時，亦對遷移率和接面漏電流之相關性作分析比較。

4.3.1 I_D - V_D 特性曲線

以 Keithley instruments C4200 半導體參數分析儀量測 I_D - V_D 特性曲線，將 p 型的應變矽元件之 V_G - V_T 分別操作在 0.6V 和 1V 的電壓下，而汲極電壓由 0V 掃描到 -1V 來量測汲極電流與汲極電壓，每個 Step 為 -0.05V。

4.3.2 I_D - V_G 特性曲線

I_D - V_G 量測是藉 Keithley Instruments C4200 半導體參數分析儀操作所得到的。將 p 型的應變矽元件操作在線性區 ($V_{DS}=-0.05\text{V}$)，量測汲極電流與閘極電壓的關係，進一步可以萃取出臨界電壓和轉移電導，而閘極電壓由 -1V 掃描到 1V 來量測汲極電流，每個 Step 為 -0.05V。

4.4 實驗結果

4.4.1 第一階段實驗

第一階段採用 CESL compressive 元件，溫度為 25°C，通道寬度與通道長度各為 $10\mu\text{m}/10\mu\text{m}$ 和 $10\mu\text{m}/0.08\mu\text{m}$ ，Si-cap 厚度為 24Å 和 39Å，並以 Non-strained 元件作為對照組分析比較。

4.4.1.1 第一階段之 I_D-V_D 特性曲線，溫度 25°C

使用 Keithley Instruments C4200 半導體參數分析儀進行量測。圖 4.11 和圖 4.12 為 p 型元件的 I_D-V_D ，尺寸為 $W/L=10\mu\text{m}/10\mu\text{m}$ 特性曲線和 p 型元件的 I_D-V_D ，尺寸為 $10\mu\text{m}/0.08\mu\text{m}$ 特性曲線。

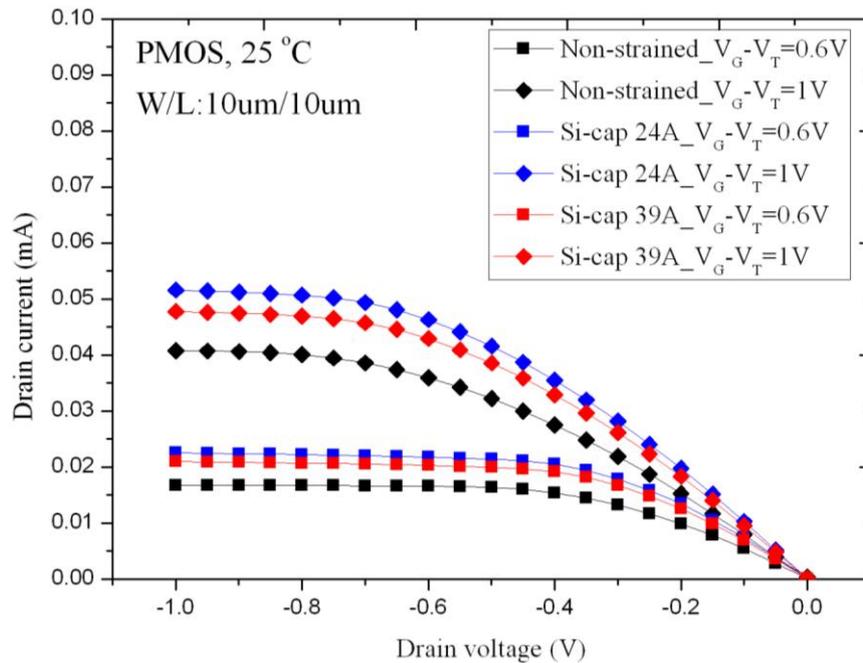


圖 4.11 第一階段應變矽元件之 p 型的 I_D-V_D ，元件尺寸為 $10\mu\text{m}/10\mu\text{m}$

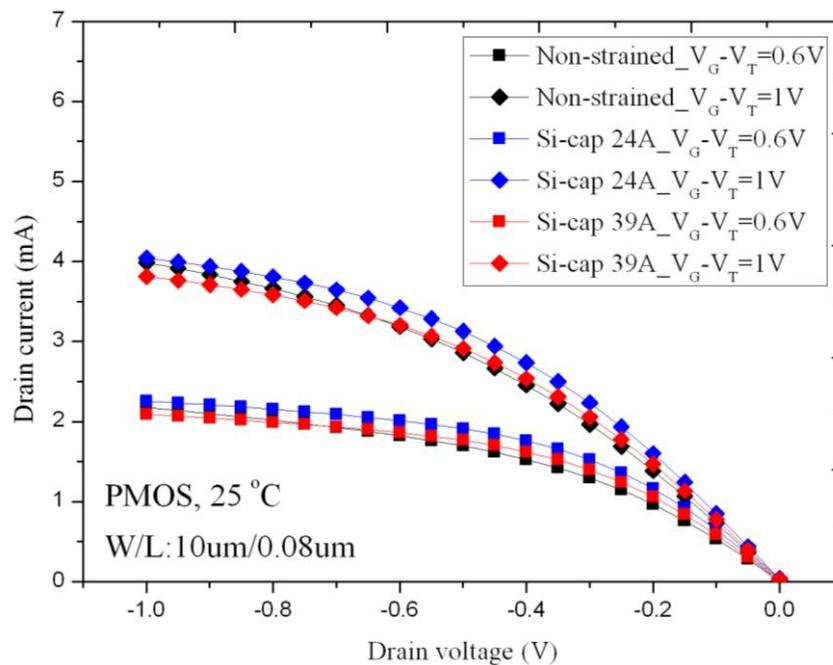


圖 4.12 第一階段應變矽元件之 p 型的 I_D-V_D ，元件尺寸為 $10\mu\text{m}/0.08\mu\text{m}$

I_D-V_D 的基本曲線其 $|V_G - V_T|$ 設定為 0.6V 和 1V ，由圖中可知，在元件尺寸

為 $10\mu\text{m} / 10\mu\text{m}$ 的 Non-strained 元件輸出電流都比不同 Si-cap 厚度下的電流還要小，但是當元件尺寸為 $10\mu\text{m} / 0.08\mu\text{m}$ 的情形下， $|V_G - V_T|$ 為 1V 時，Non-strained 比 Si-cap 39\AA 略大 5.2%，目前推測，這是因為當元件的通道長度縮短為 $0.08\mu\text{m}$ 時，因受到 CESL 壓縮效應的影響，沉積 Si-cap 39\AA 太厚，使得載子不容易流動，導致元件的驅動電流下降，但整體來說，當元件的通道長度越小，驅動電流會越大。另外，利用(4.1)式可算出 ΔI_{on} 的百分比。

$$\Delta I_{on} = \frac{\text{Si-cap厚度} - \text{Non-Strained}}{\text{Non-Strained}} \times 100\% \quad (4.1)$$

在 p 型元件下，元件尺寸為 $10\mu\text{m} / 10\mu\text{m}$ ， $V_G - V_T$ 為 1V 時，Si-cap 24\AA 比 Non-strained 的 ΔI_{on} 多了 30%，Si-cap 39\AA 比 Non-strained 的 ΔI_{on} 多了 20%。由此可見，在元件尺寸為 $10\mu\text{m} / 10\mu\text{m}$ 時，搭配 Si-cap 24\AA 時，其元件效能是最好的。當元件尺寸為 $10\mu\text{m} / 0.08\mu\text{m}$ 時， $V_G - V_T$ 為 1V 時，Si-cap 24\AA 比 Non-strained 的 ΔI_{on} 多了 2.5%，Non-strained 比 Si-cap 39\AA 的 ΔI_{on} 多了 5.2%，由此可知，在元件尺寸為 $10\mu\text{m} / 0.08\mu\text{m}$ 時，搭配 Si-cap 24\AA 時，其元件效能是最好的。當早期製程技術演進到通道長度小於約 $1\mu\text{m}$ 的 MOSFET 元件時，會有一些之前長通道沒有發現的現象發生，而把這樣的現象稱為短通道效應，從 $0.35\mu\text{m}$ 開始更為明顯，而本實驗的元件製程採用 90 奈米光罩微縮至 45 奈米元件，所以更會產生一些短通道效應，在短通道效應下， I_{Dsat} 趨近於公式(4.2)[11]。

$$I_{Dsat} \cong WC_{ox}(V_G - V_T)v_{sat} \quad (4.2)$$

C_{ox} : 閘極氧化層單位面積之電容值

v_{sat} : 飽和速度

其中電子的飽和速度為 $v_{sat} \approx 6 \sim 8 \times 10^6 \text{cm/sec}$

電洞的飽和速度為 $v_{sat} \approx 5 \sim 7 \times 10^6 \text{cm/sec}$

其中飽和速度會隨著閘極電壓(V_G)的增加而降低，是因為有效的垂直電場與表面散射的原因所造成的，並從公式(4.2)得知，在短通道中要提高 I_{Dsat} 必須從降低氧化層厚度或是提高氧化層的介電係數來進行。

4.4.1.2 第一階段之 I_D - V_G 特性曲線，溫度 25°C

使用 Keithley Instruments C4200 半導體參數分析儀進行量測，並且在恆溫 (25°C) 環境下進行準確的量測。圖 4.13 與圖 4.14 為 p 型元件的 I_D - V_G 特性曲線圖，元件尺寸為 $10\mu\text{m}/10\mu\text{m}$ 和 p 型元件的 I_D - V_G 特性曲線圖，元件尺寸為 $10\mu\text{m}/0.08\mu\text{m}$ 。

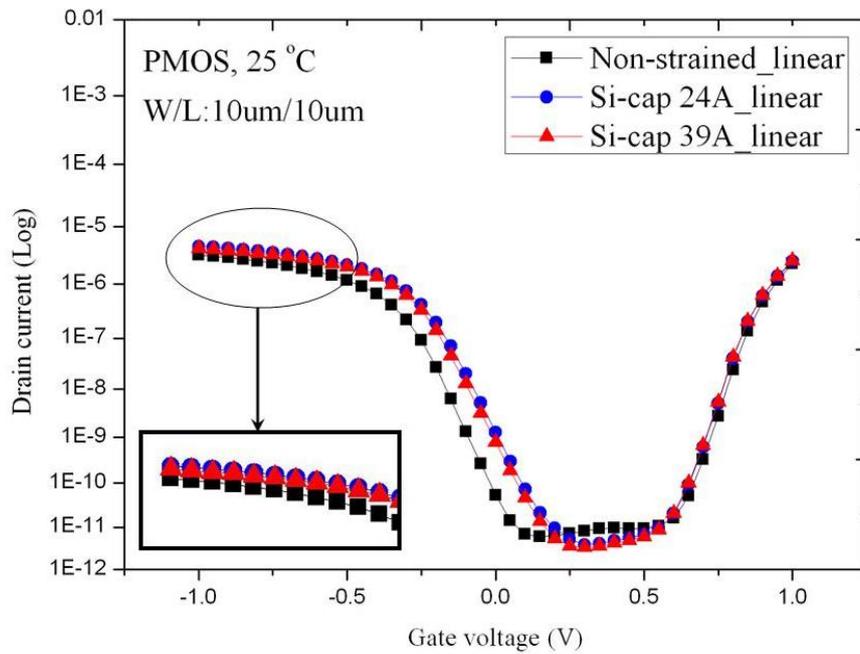


圖 4.13 第一階段應變矽元件之 p 型的 I_D - V_G ，元件尺寸為 $10\mu\text{m}/10\mu\text{m}$

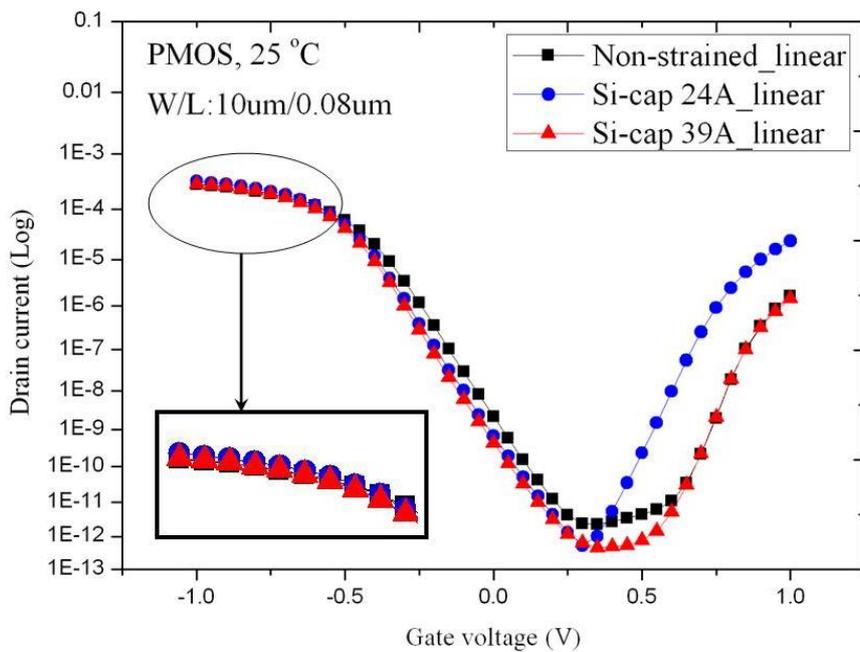


圖 4.14 第一階段應變矽元件之 p 型的 I_D - V_G ，元件尺寸為 $10\mu\text{m}/0.08\mu\text{m}$

I_D - V_G 將 p 型的應變矽元件操作在線性區($V_{DS}=-0.05V$)下，並對 I_D 取 Log 後，可觀察到次臨界斜率，而當次臨界斜率值越小將更適合作為開關元件，並能夠快速開啟或關閉，這表示臨界斜率越大時， I_D 隨著 V_G 的變化就越小，On-Off 的特性就越不明顯；相對地當臨界斜率越小時， I_D 隨 V_G 的變化就越大，On-Off 特性就越明顯。而一般 CMOS 的 S.S. 的值介於 80mV/decade~120 mV/decade，元件經過應變之後，可看出 S.S. 的特性變得更好，也代表開關特性更加理想。表 4.2 為次臨界斜率之比較，表 4.3 為 Non-strained PN 接面漏電流之比較，溫度 25°C，表 4.4 為 Si-cap 24Å PN 接面漏電流之比較，溫度 25°C，表 4.5 為 Si-cap 39Å PN 接面漏電流之比較，溫度 25°C。

		S.S. (mV/decade) 溫度 25°C		
		Non-strained	24Å	39Å
Device size (μm)	10/10	107.54	98.24	101.53
	10/0.08	119.74	108.23	110.49

表 4.2 第一階段之次臨界斜率比較

$$I_{-L1} = P_1 I_P + A_1 I_A \quad (4.3)$$

$$I_{-L2} = P_2 I_P + A_2 I_A \quad (4.4)$$

$$I_{-mL} = (2L_1 + W_1) I_P + W_g I_P' + A_3 I_A \quad (4.5)$$

$$\Delta I_P = I_P' - I_P \quad (4.6)$$

I_A : Bulk junction 的漏電流

I_P : 周長 junction 的接面漏電流

I_{-L1} : 在接面的 Bulk 圖形，操作電壓為 $|V_{cc}| = 1V$ 時，逆向的接面漏電流，元件的寬與長為 180 μm /200 μm

P_1 : 接面 Bulk 圖形的周長

A_1 : 接面 Bulk 圖形的面積

I_{-L2} : 在接面的 Finger 圖形，操作電壓為 $|V_{cc}| = 1V$ 時，逆向的接面漏電流，元件的寬與長為 1 μm /180 μm

P_2 : 接面 Bulk 圖形的周長

A_2 : 接面 Bulk 圖形的面積

I_{-mL} : MOSFET 元件的汲極端接面漏電流

A_3 : MOSFET 元件之汲極端面面積

I_P' : 汲極端靠近於閘極電極的邊緣接面漏電流

ΔI_p : 邊緣接面漏電流的變化量

Device size (μm)	10/10	10/0.08
$I_{L1}(\text{pA})$	743.907	
$I_{L2}(\text{pA})$	360.895	
$I_p(\text{pA}/\mu\text{m})$	0.009	
$I_A(\text{pA}/\mu\text{m}^2)$	0.021	
$I_{mL}(\text{pA})$	7.188	23.552
$I_p'(\text{pA}/\mu\text{m})$	0.619	2.258
$\Delta I_p(\text{pA}/\mu\text{m})$	0.609	2.248

表 4.3 Non-strained PN 接面漏電流之比較，溫度 25°C

Device size (μm)	10/10	10/0.08
$I_{L1}(\text{pA})$	1.53	
$I_{L2}(\text{pA})$	1.428	
$I_p(\text{pA}/\mu\text{m})$	0.0000584	
$I_A(\text{pA}/\mu\text{m}^2)$	0.0000412	
$I_{mL}(\text{pA})$	17.617	12.945
$I_p'(\text{pA}/\mu\text{m})$	1.761	1.294
$\Delta I_p(\text{pA}/\mu\text{m})$	1.761	1.294

表 4.4 Si-cap 24Å PN 接面漏電流之比較，溫度 25°C

Device size (μm)	10/10	10/0.08
$I_{L1}(\text{pA})$	1.153	
$I_{L2}(\text{pA})$	1.473	
$I_p(\text{pA}/\mu\text{m})$	0.0000662	
$I_A(\text{pA}/\mu\text{m}^2)$	0.0000306	
$I_{mL}(\text{pA})$	28.802	17.469
$I_p'(\text{pA}/\mu\text{m})$	2.87	1.747
$\Delta I_p(\text{pA}/\mu\text{m})$	2.88	1.747

表 4.5 Si-cap 39Å PN 接面漏電流之比較，溫度 25°C

由表 4.3 至表 4.5 可以看出，在元件尺寸為 10 μm /0.08 μm 時，邊緣接面漏電流的變化量大小依序為 Si-cap 24Å < Si-cap 39Å < Non-strained，邊緣接面漏電流越小，表示汲極端接面的缺陷和電位井的影響越少，如此一來，才能使得驅動電流有效提升。

4.4.2 第二階段實驗

第二階段採用 CESL 壓縮元件，溫度為 75°C ，通道寬度與通道長度各為 $W/L=10\mu\text{m}/10\mu\text{m}$ 和 $10\mu\text{m}/0.08\mu\text{m}$ ，Si-cap 厚度為 24\AA 和 39\AA ，並以 Non-strained 元件作為對照組分析比較。

4.4.2.1 第二階段之 I_D-V_D 特性曲線，溫度 75°C

使用 Keithley Instruments C4200 半導體參數分析儀進行量測。圖 4.15 和圖 4.16 為 p 型元件的 I_D-V_D ，尺寸為 $10\mu\text{m}/10\mu\text{m}$ 特性曲線和 p 型元件的 I_D-V_D ，尺寸為 $10\mu\text{m}/0.08\mu\text{m}$ 特性曲線。

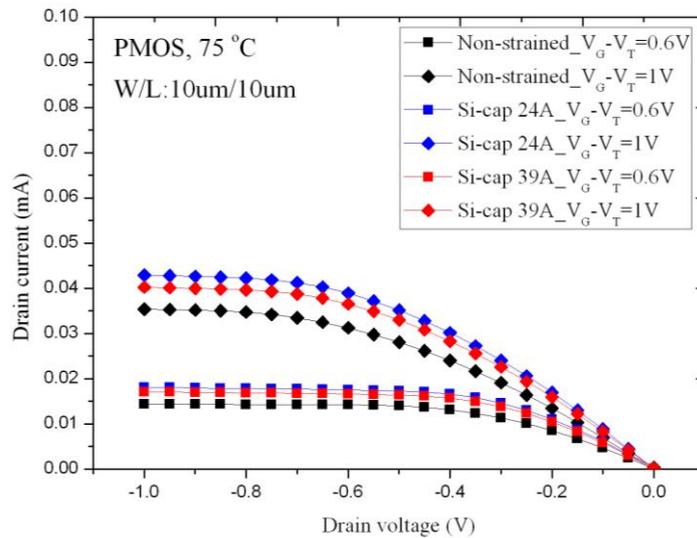


圖 4.15 第二階段應變矽元件之 p 型的 I_D-V_D ，元件尺寸為 $10\mu\text{m}/10\mu\text{m}$

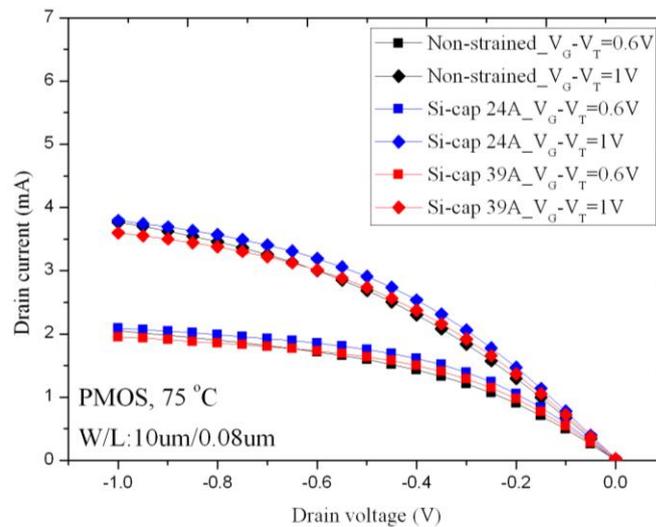


圖 4.16 第二階段應變矽元件之 p 型的 I_D-V_D ，元件尺寸為 $10\mu\text{m}/0.08\mu\text{m}$

I_D-V_D 的基本特性曲線設定， $|V_G-V_T|$ 為 0.6V 和 1V 。由圖中可知，在元件

尺寸為 $10\mu\text{m}/10\mu\text{m}$ 的 Non-strained 元件輸出電流都比不同 Si-cap 厚度下的電流還要小，但是當元件尺寸為 $10\mu\text{m}/0.08\mu\text{m}$ 的情形， $V_G - V_T$ 為 1V 時，Non-strained 比 Si-cap 39Å 略大 8.5%。目前推測，當溫度上升時，除了之前提到的厚度太厚的緣故，另一個原因是與溫度有關。當溫度越高，熱能也就會越高，進而導致晶格擾動的缺陷更為嚴重。

4.4.2.2 第二階段之 $I_D - V_G$ 特性曲線，溫度 75°C

使用 Keithley Instruments C4200 半導體參數分析儀進行量測，並且在溫度 75°C 下進行準確的量測。圖 4.17 與圖 4.18 為 p 型元件的 $I_D - V_G$ 特性曲線圖，元件尺寸為 $10\mu\text{m}/10\mu\text{m}$ 和 p 型元件的 $I_D - V_G$ 特性曲線圖，元件尺寸為 $10\mu\text{m}/0.08\mu\text{m}$ 。

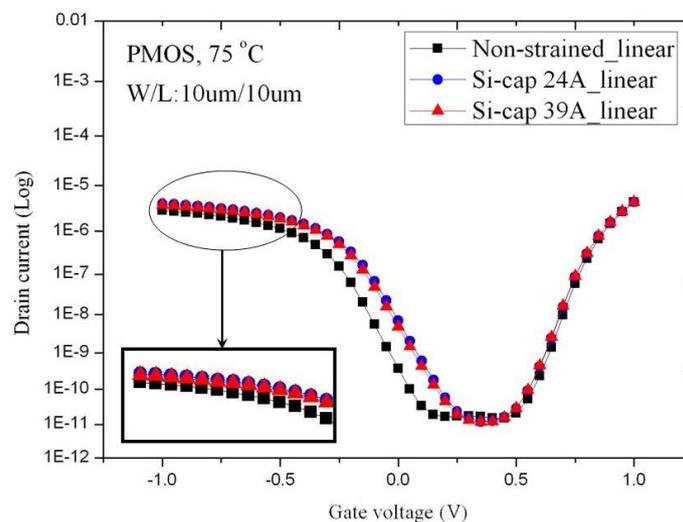


圖 4.17 第二階段應變矽元件之 p 型的 $I_D - V_G$ ，元件尺寸為 $10\mu\text{m}/10\mu\text{m}$

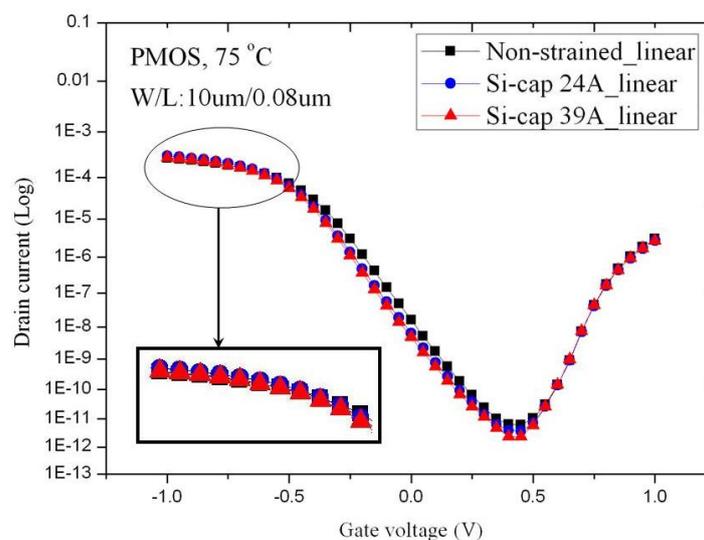


圖 4.18 第二階段應變矽元件之 p 型的 $I_D - V_G$ ，元件尺寸為 $10\mu\text{m}/0.08\mu\text{m}$

$I_D - V_G$ 將 p 型的應變矽元件操作在線性區 ($V_{DS} = -0.05\text{V}$) 下，並對 I_D 取 Log 後，

可觀察到次臨界斜率，表 4.6 為次臨界斜率之比較，不同 Si-cap 厚度的次臨界斜率都比 Non-strained 的次臨界斜率還要小，這表示 Si-cap 24Å、39Å 適合作為元件的開關，然而 Si-cap 24 Å 又比 Si-cap 39 Å 更為適合。

		S.S. (mV/decade) 溫度 75°C		
		Non-strained	24Å	39Å
Device size(μm)	10/10	127.81	106.58	118.98
	10/0.08	152.14	126.17	141.37

表 4.6 第二階段之次臨界斜率比較

Device size (μ m)	10/10	10/0.08
$I_{L1}(pA)$	11.053	
$I_{L2}(pA)$	162.318	
$I_p(pA/μm)$	0.00891	
$I_A(pA/μm^2)$	0.00011	
$I_{mL}(pA)$	23.302	38.232
$I_p'(pA/μm)$	2.313	3.807
$\Delta I_p(pA/μm)$	2.304	3.798

表 4.7 Non-strained PN 接面漏電流之比較，溫度 75°C

Device size (μ m)	10/10	10/0.08
$I_{L1}(pA)$	10.794	
$I_{L2}(pA)$	210.529	
$I_p(pA/μm)$	0.0116	
$I_A(pA/μm^2)$	0.0000548	
$I_{mL}(pA)$	59.718	56.061
$I_p'(pA/μm)$	5.951	5.585
$\Delta I_p(pA/μm)$	5.939	5.573

表 4.8 Si-cap 24Å PN 接面漏電流之比較，溫度 75°C

Device size (μ m)	10/10	10/0.08
$I_{L1}(pA)$	10.76	
$I_{L2}(pA)$	205.824	
$I_p(pA/μm)$	0.011	
$I_A(pA/μm^2)$	0.0000595	
$I_{mL}(pA)$	85.968	70.619
$I_p'(pA/μm)$	8.576	7.041
$\Delta I_p(pA/μm)$	8.565	7.029

表 4.9 Si-cap 39Å PN 接面漏電流之比較，溫度 75°C

由表 4.7 至表 4.9 可以看出，無論元件的長度為 $10\mu\text{m}$ 或 $0.08\mu\text{m}$ ，邊緣界面漏電流的變化量大小依序為 Non-strained < Si-cap 24\AA < Si-cap 39\AA ，目前推測是因為元件的溫度升高時，其因受到晶格擾動的緣故，導致元件有 Si-cap 24\AA 、 39\AA 的汲極端邊緣界面漏電流比 Non-strained 更為嚴重。

4.4.3 第三階段實驗

第三階段亦採用 CESL 壓縮元件，溫度為 125°C ，通道寬度與通道長度各為 $W/L=10\mu\text{m}/10\mu\text{m}$ 和 $10\mu\text{m}/0.08\mu\text{m}$ ，Si-cap 厚度為 24\AA 和 39\AA ，並以 Non-strained 元件作為對照組分析比較。

4.4.3.1 第三階段之 I_D-V_D 特性曲線，溫度 125°C

使用 Keithley Instruments C4200 半導體參數分析儀進行量測。圖 4.19 和圖 4.20 為 p 型元件的 I_D-V_D ，尺寸為 $10\mu\text{m}/10\mu\text{m}$ 特性曲線和 p 型元件的 I_D-V_D ，尺寸為 $10\mu\text{m}/0.08\mu\text{m}$ 特性曲線。

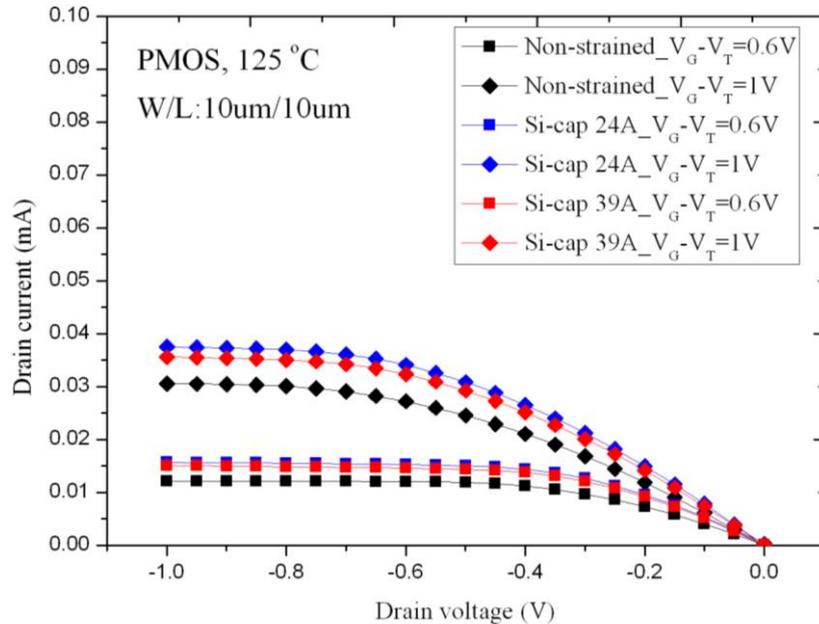


圖 4.19 第三階段應變矽元件之 p 型的 I_D-V_D ，元件尺寸為 $10\mu\text{m}/10\mu\text{m}$

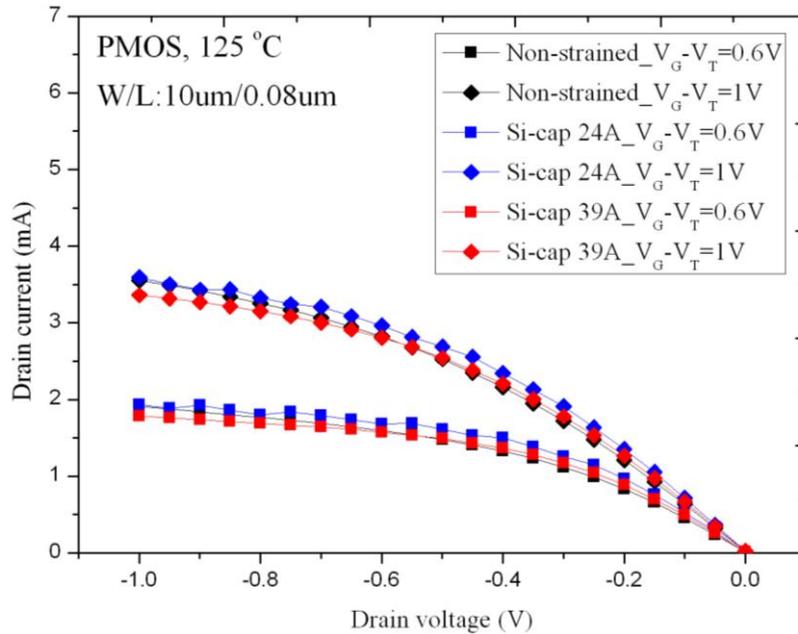


圖 4.20 第三階段應變矽元件之 p 型的 I_D-V_D ，元件尺寸為 $10\mu\text{m}/0.08\mu\text{m}$

I_D-V_D 的基本特性曲線設定， $|V_G-V_T|$ 為 0.6V 和 1V，根據 I_{D_Linear} 公式可知，當 L 越小時，汲極電流就越大，並在元件尺寸較小時，可發現有貫穿的現象發生。圖 4.19 為 p 型應變矽元件，元件尺寸為 $10\mu\text{m}/10\mu\text{m}$ ，當 $|V_G-V_T|$ 為 1V 時，Non-strained 元件輸出電流都比不同 Si-cap 厚度下的電流還要小，但是當元件的長度縮至 $0.08\mu\text{m}$ 尺寸時， $|V_G-V_T|$ 為 1V 時，Non-strained 元件的輸出電流略大於 Si-cap 39Å 為 9.1%，目前推測，是因為 Si-cap 39Å 的厚度較厚，使得載子不容易流動和溫度升高之後，晶格擾動的緣故，才導致元件的驅動電流下降。

4.4.3.2 第三階段之 I_D-V_G 特性曲線，溫度 125°C

使用 Keithley Instruments C4200 半導體參數分析儀進行量測，並且在溫度 125°C 下進行準確的量測。圖 4.21 與圖 4.22 為 p 型元件的 I_D-V_G 特性曲線圖，元件尺寸為 $10\mu\text{m}/10\mu\text{m}$ 和 p 型元件的 I_D-V_G 特性曲線圖，元件尺寸為 $10\mu\text{m}/0.08\mu\text{m}$ 。

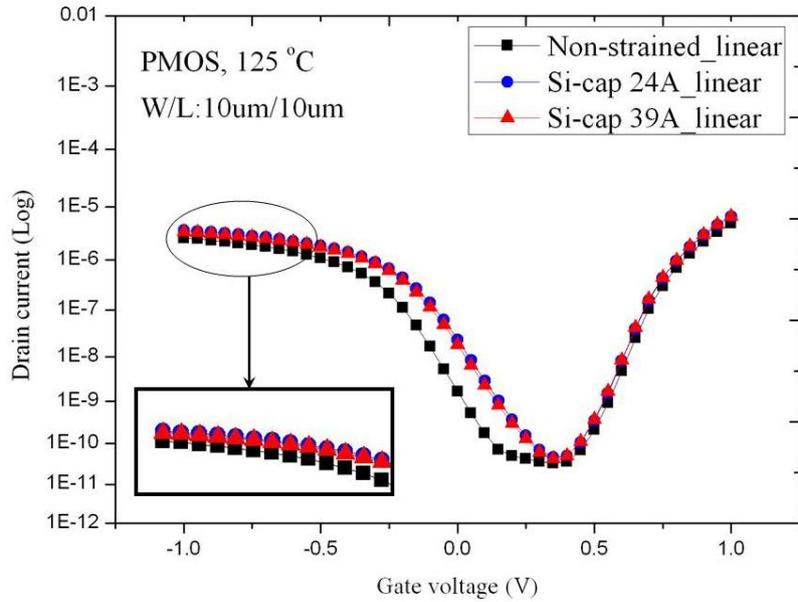


圖 4.21 第三階段應變矽元件之 p 型的 I_D - V_G ，元件尺寸為 $10\mu\text{m}/10\mu\text{m}$

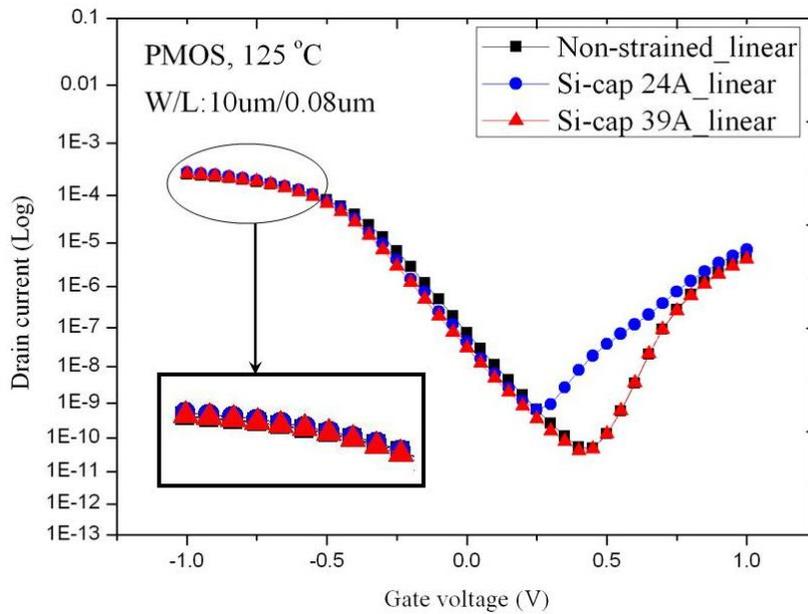


圖 4.22 第三階段應變矽元件之 p 型的 I_D - V_G ，元件尺寸為 $10\mu\text{m}/0.08\mu\text{m}$

I_D - V_G 將 p 型的應變矽元件操作在線性區 ($V_{DS} = -0.05\text{V}$) 下，並對 I_D 取 Log 後，可觀察到次臨界斜率，表 4.10 第三階段之次臨界斜率比較，不同 Si-cap 厚度元件的次臨界斜率都比 Non-strained 元件的次臨界斜率還要小。但從溫度 25°C 升溫到 125°C 時，不同 Si-cap 厚度和 Non-strained 的次臨界斜率是逐漸增加的，這表示與熱能有關。

		S.S. (mV/decade) 溫度 125°C		
Si-cap		Non-strained	24Å	39Å
Device size(μm)	10/10	132.48	120.44	128.34
	10/0.08	162.29	137.34	154.75

表 4.10 第三階段之次臨界斜率比較

Device size (μm)	10/10	10/0.08
$I_{L1}(pA)$	440.318	
$I_{L2}(pA)$	3705.61	
$I_p(pA/\mu\text{m})$	0.201	
$I_A(pA/\mu\text{m}^2)$	0.008	
$I_{mL}(pA)$	216.418	355.542
$I_p'(pA/\mu\text{m})$	21.248	35.16
$\Delta I_p(pA/\mu\text{m})$	21.047	34.96

表 4.11 Non-strained PN 接面漏電流之比較，溫度 125°C

Device size (μm)	10/10	10/0.08
$I_{L1}(pA)$	461.24	
$I_{L2}(pA)$	4423.4	
$I_p(pA/\mu\text{m})$	0.241	
$I_A(pA/\mu\text{m}^2)$	0.00773	
$I_{mL}(pA)$	267.674	298.958
$I_p'(pA/\mu\text{m})$	26.302	29.431
$\Delta I_p(pA/\mu\text{m})$	26.062	29.19

表 4.12 Si-cap 24Å PN 接面漏電流之比較，溫度 125°C

Device size (μm)	10/10	10/0.08
$I_{L1}(pA)$	496.88	
$I_{L2}(pA)$	4370.1	
$I_p(pA/\mu\text{m})$	0.237	
$I_A(pA/\mu\text{m}^2)$	0.00879	
$I_{LM}(pA)$	272.962	263.763
$I_p'(pA/\mu\text{m})$	26.834	25.915
$\Delta I_p(pA/\mu\text{m})$	26.597	21.297

表 4.13 Si-cap 39Å PN 接面漏電流之比較，溫度 125°C

由表 4.11 至表 4.13 可以看出，元件尺寸為 10 μm /0.08 μm 時，邊緣接面漏電流大小依序為 Si-cap 39Å < Si-cap 24Å < Non-strained，當溫度在 125°C 時，Si-cap 39Å 有較小的邊緣接面漏電流，此種現象，除了晶格擾動的緣故之外，另外推測，

是因為與 Si-cap 的本質濃度有關，因為本質濃度的量將會影響到臨界電壓的值，而臨界電壓的值就會影響到驅動電流的效能，所以才會有此種現象發生。

因著技術不斷的進步，奈米製程已是現今半導體的趨勢，而近年來，其他學者提出應變矽技術以提高元件的載子遷移率，進而提升元件的驅動電流，當矽晶格受到應力產生應變，可將傳輸載子之有效質量縮小，遷移率增加及越容易達到飽和速度。若使用應變矽技術作為載子傳輸通道，電子與電洞的載子遷移率有可能皆增加，達到增加元件速度與驅動電流的目標。而由於矽與鍺晶格匹配不均，所以鍺元素須以些微方式增加在製程中，使應變的效果保持在於基板內，以保持低的差排密度，藉由磊晶矽緩衝層的沉積，可有效地減少矽基底與矽鍺通道差排所帶來的不利影響。

在本研究中，第一、二、三階段的實驗，都採用 p 型應變矽電晶體於不同矽覆蓋層(Si-cap)厚度下(24Å、39Å)做電特性研究，其應變強度與通道介面的連結是習習相關的。由於沉基一層適當厚度的矽覆蓋層，可以避免鍺原子擴散至閘極介電層，使得通道的 Interface state 可有效降低， ΔI_{on} 可明顯的提高。另外，接面漏電流的影響大小與元件的通道長度和溫度也有相關[25-28]。圖 5.1 為 p 型元件接面漏電流與溫度的關係圖，元件尺寸為 10 μm /10 μm ，圖 5.2 為 p 型元件遷移率與溫度的關係圖，元件尺寸為 10 μm /10 μm 。圖 5.3 為 p 型元件接面漏電流與溫度的關係圖，元件尺寸為 10 μm /0.08 μm ，圖 5.4 為 p 型元件遷移率與溫度的關係圖，元件尺寸為 10 μm /0.08 μm 。

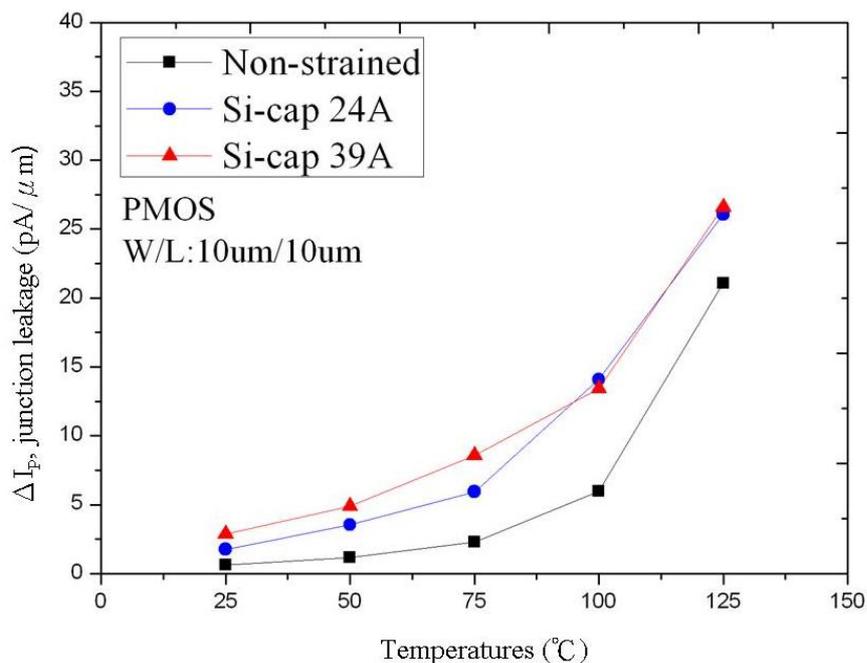


圖 5.1 p 型元件邊緣接面漏電流與溫度的關係圖，元件尺寸為 10 μ m/10 μ m

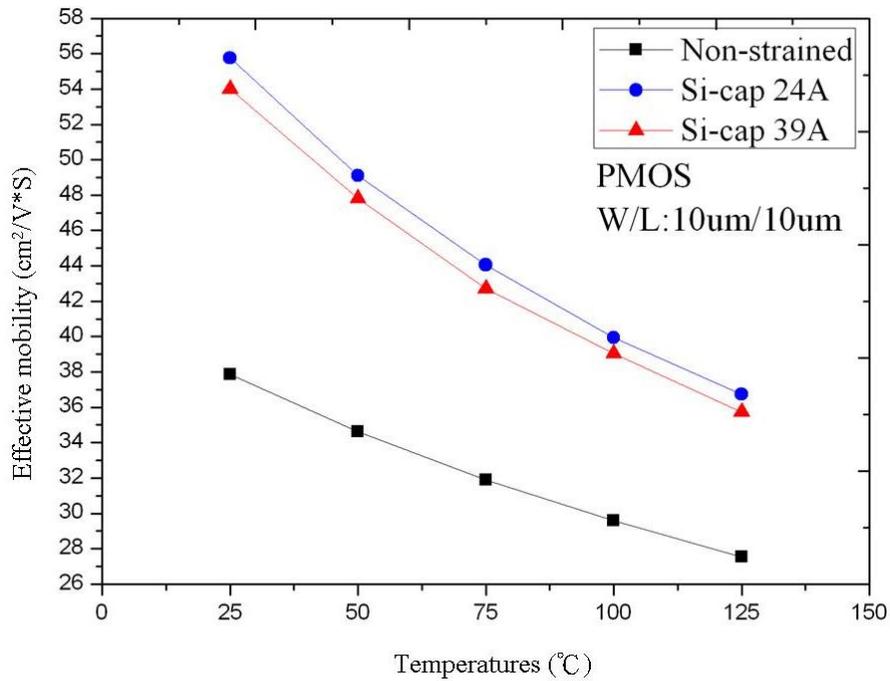


圖 5.2 p 型元件有效遷移率與溫度，元件尺寸為 10 μ m/10 μ m

由圖 5.1 和圖 5.2 可發現，溫度從 25°C 至 125°C 時，Non-strained 元件的接面漏電流為最小，遷移率也最小。照理來說，接面漏電流越小，遷移率會越大，但是 Non-strained 與此現象相反，目前推測，是因為與通道長度大小和汲極端接面處的缺陷有關。在圖 5.2 可知，Si-cap 24Å 的厚度最適合當作元件的矽覆蓋層，另外，透過圖 5.1 和圖 5.2 可發現，當溫度越來越高時，接面漏電流會越大，遷移率會越小，其原因與晶格擾動有關。

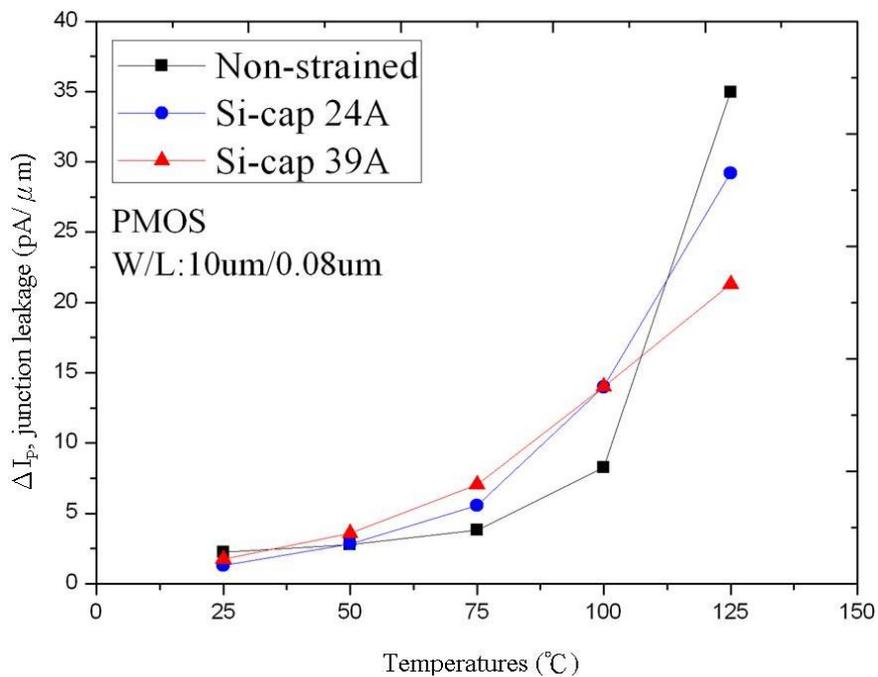


圖 5.3 p 型元件邊緣接面漏電流與溫度的關係圖，元件尺寸為 10 μ m/0.08 μ m

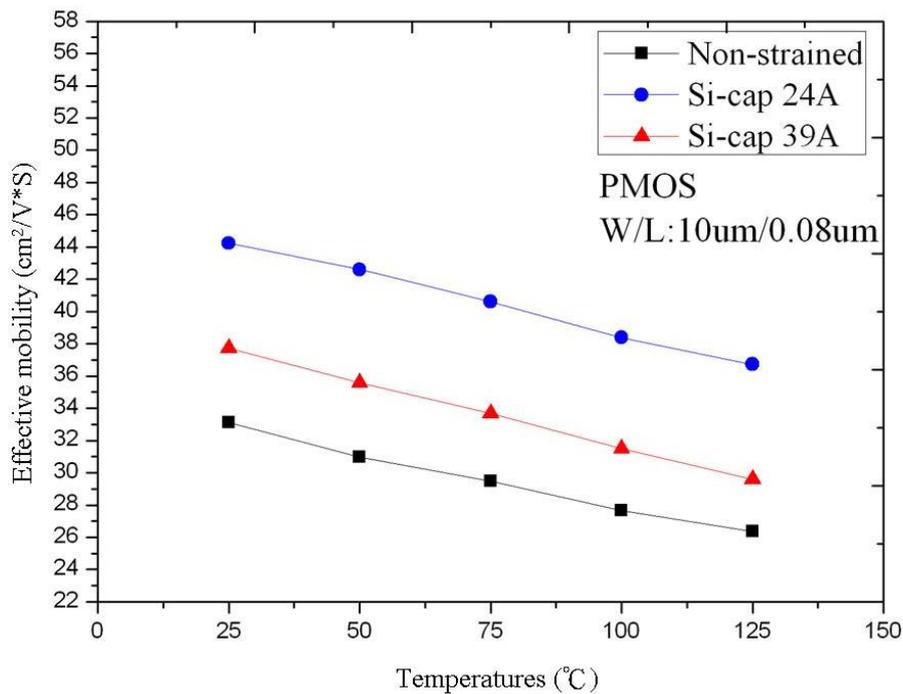


圖 5.4 p 型元件遷移率與溫度，元件尺寸為 10 μ m/0.08 μ m

由圖 5.3 和圖 5.4 可發現，溫度從 25°C 至 37°C 時，Non-strained 元件的接面漏電流為最大，但是當溫度從 37°C 至 112°C，Non-strained 的接面漏電流逐漸變成最小，當 112°C 至 125°C 時，Non-strained 的接面漏電流又變回最大，而以上的現象，與溫度加熱和元件的長度有很大的關連性。另外，由圖 5.2 和圖 5.4 可發現，在圖 5.4 的元件尺寸為 10 μ m/0.08 μ m，不論是不同 Si-cap 和 Non-strained 元件的遷移率都比圖 5.2 的元件尺寸為 10 μ m/10 μ m 來的小，其主要是因為本研究的元件是採用 PMOS 元件，元件的尺寸為 W/L=10 μ m/10 μ m，並搭配 CESL 壓縮應變，所以在長通道之下(W/L=10 μ m/10 μ m)，遷移率會比較高，其與有效質量有相關性影響。

最後，應變矽雖然已經漸漸地且廣泛地被研究，可提高電子遷移率和增加驅動電流，但在可靠度方面卻較少人探討到。諸如如何降低熱載子注入(Hot carrier injection, HCI)效應，以及改善載子注入在奈米等級製程元件中，亦是非常重要的探討議題[29-30]，此等議題可作後續的研究。

參考文獻

1. D.K. Nayak, K. Goto, A. Yutani, J. Murota, Y. Shiraki, "High-mobility strained-Si PMOSFET's," *IEEE Transactions on Electron Devices*, Vol. 43, No. 10, pp. 1709-1716, 1996.
2. J.Y. Kuo, P.N. Chen, P. Su, "A Comprehensive Investigation of Analog Performance for Uniaxial Strained PMOSFETs," *IEEE Transactions on Electron Devices*, Vol. 56, No. 2, pp. 284-290, 2009.
3. K. Mistry, M. Armstrong, C. Auth, S. Cea, T. Coan, T. Ghani, T. Hoffmann, A. Murthy, J. Sandford, R. Shaheed, K. Zawadzki, K. Zhang, S. Thompson, M. Bohr, "Delaying forever: Uniaxial strained silicon transistors in a 90nm CMOS technology," *2004 Symposium on VLSI Technology*, pp. 50-51, 2004.
4. M.M. Rahman, "A theoretical study of electrostatic properties of <100> uniaxially strained silicon n-channel MOSFET," *ICSICT 2008. 9th International Conference on Solid-State and Integrated-Circuit Technology*, pp. 142-145, 2008.
5. 蔡淑惠, "半導體工程精選", 五南出版社, 2007年。
6. S.M. Sze, "Semiconductor Devices Physics and Technology," Wiley, 2002.
7. Y. Taur, T.H. Ning, "Fundamentals of Modern VLSI Devices," Cambridge, 1998.
8. 王木俊、劉傳璽, "薄膜電晶體液晶顯示器原理與實務", 新文京出版社, 2008年。
9. J.P. Colinge, "Subthreshold slope of thin-film SOI MOSFET's," *IEEE Electron Device Letters*, Vol. 7, No. 4, pp. 244-246, 1986.
10. J.P. Colinge, J.W. Park, W. Xiong, "Threshold voltage and subthreshold slope of multiple-gate SOI MOSFETs," *IEEE Electron Device Letters*, Vol. 24, No. 8, pp. 515-517, 2003.
11. 劉傳璽、陳進來, "CMOS 元件物理與製程整合", 五南出版社, 2006年。
12. 余志成, "矽基非等向性濕蝕刻", 碩士論文, 國立高雄第一科技大學機械系, 2004年。
13. 施敏, "半導體元件物理與製作技術", 國立交通大學出版社, 2002年。
14. 趙健祥、朱安國, "非等向性蝕刻製程於矽基板之應用:翻鑄模仁與矽基板 V 型凹槽", 碩士論文, 國立中山大學機械工程, 2001年。
15. 黃廣禮, "矽鍺半導體材料的物理特性與成長技術", 電子月刊, 越吟出版

社，2009年。

16. S.E. Thompson, M. Armstrong, C. Auth, M. Alavi, M. Buehler, R. Chau, S. Cea, T. Ghani, G. Glass, T. Hoffman, C.H. Jan, C. Kenyon, J. Klaus, K. Kuhn, M. Zhiyong, B. McIntyre, K. Mistry, A. Murthy, B. Obradovic, R. Nagisetty, P. Nguyen, S. Sivakumar, R. Shaheed, L. Shifren, B. Tufts, S. Tyagi, M. Bohr, Y. E. Mansy, "A 90-nm logic technology featuring strained-silicon," *IEEE Transactions on Electron Devices*, Vol. 51, No. 11, pp. 1790-1797, 2004.
17. 林宏年、呂嘉裕、林鴻志、黃調元，"局部與全面形變矽通道(Strained Si channel) 互補式金氧半(CMOS)之材料、製程與元件特性分析(I)(II)"，*奈米通訊*，第十二卷第一、二期，2005年。
18. 廖文翔博士，"明新科技大學演講之講義"，秋季學期，2009年。
19. B. Shu, H. Zhang, R. Xuan, X. Dai, H. Hu, J. Song, L. Liang, J. Cui, "Fabrication of high compressive stress silicon nitride membrane in strained silicon technology," *2009 IEEE International Conference of Electron Devices and Solid-State Circuits*, pp. 365-367, 2009.
20. 陸新起，"矽鍺技術與應用"，*電子月刊*，2003年。
21. H.C. Yuan, M.M. Kelly, D.E. Savage, M.G. Lagally, G.K. Celler, M. Zhenqiang, "Thermally Processed High-Mobility MOS Thin-Film Transistors on Transferable Single-Crystal Elastically Strain-Sharing Si/SiGe/Si Nanomembranes," *IEEE Transactions on Electron Devices*, Vol. 55, No. 3, pp. 810-815, 2008.
22. S.H. Olsen, A.G. Neill, S. Chattopadhyay, L.S. Driscoll, K.S.K. Kwa, D.J. Paul, J. Zhang, "N-MOSFET performance in single and dual channel strained Si/SiGe CMOS architectures," *2003 International Semiconductor Device Research Symposium*, pp. 49-50, 2003.
23. C.O. Chui, K.C. Saraswat, "Advanced Germanium MOS Devices and Technology," *2005 IEEE Conference on Electron Devices and Solid-State Circuits*, pp. 101-106, 2005.
24. S. Cristoloveanu, "Length, width and thickness effects in SOI transistors," *2006 International Workshop on Nano CMOS*, pp. 278, 2006.
25. K.T. Lee, C.Y. Kang, O.S. Yoo, D. Chadwin, G. Bersuker, H.K. Park, J.M. Lee, H.S. Hwang, B.H. Lee, H.D. Lee, Y.H. Jeong, "A comparative study of reliability and performance of strain engineering using CESL stressor and mechanical strain," *2008 IEEE International Reliability Physics Symposium*, pp. 306-309,

- 2008.
26. C.S. Lu, H.C. Lin, T.Y. Huang, "Impacts of SiN deposition parameters on n-channel metal-oxide-semiconductor field-effect-transistors," *International Semiconductor Device Research Symposium 2007*, Vol. 52, No. 10, pp. 1584-1588, 2008.
 27. Y. Toivola, J. Thurn, F. Robert, G. Cibuzar, K. Roberts, "Influence of deposition conditions on mechanical properties of low-pressure chemical vapor deposited low-stress silicon nitride films," *Journal of Applied Physics*, Vol. 94, No. 10, pp. 6915-6922, 2003.
 28. L. Pham-Nguyen, C. Fenouillet-Beranger, G. Ghibaudo, T. Skotnicki, S. Cristoloveanu, "Mobility enhancement by CESL strain in short-channel ultrathin SOI MOSFETs," *EUROSOI 2009 Conference*, Vol. 54, No. 2, pp. 123-130, 2010.
 29. C.Y. Lu, H.C. Lin, Y.J. Lee, C.C. Chao, "Impacts of SiN-Capping Layer on the Device Characteristics and Hot-Carrier Degradation of nMOSFETs," *IEEE Transactions on Device and Materials Reliability*, Vol. 7, No. 1, pp. 175-180, 2007.
 30. W. McMahon, A. Haggag, K. Hess, "Reliability scaling issues for nanoscale devices," *IEEE Transactions on Nanotechnology*, Vol. 2, No. 1, pp. 33-38, 2003.
 31. E.X. Wang, P. Matagne, L. Shifren, B. Obradovic, R. Kotlyar, S. Cea, M. Stettler, M.D. Giles, "Physics of Hole Transport in Strained Silicon MOSFET Inversion Layers," *IEEE Transactions on Electron Devices*, Vol. 53, No. 8, pp. 1840-1851, 2006
 32. H. Kawaguchi, H. Abiko, K. Inoue, Y. Saito, T. Yamamoto, Y. Hayashi, S. Masuoka, A. One, T. Tamura, K. Tokunaga, Y. Yamada, K. Yoshida, I. Sakai, "A Robust 0.15 μ m CMOS Technology With CoSi₂ Salicide And Shallow Trench Isolation," *VLSI Technology*, pp. 125-126, 1997.
 33. S.M. Sze, *Semiconductor Devices Physics and technology*, 2nd Ed., John Wiley & Sons, Inc., 2002.
 34. Ben G. Streetman, *Solid State Electronic Devices*, 6th Ed., Prentice Hall, 2006.
 35. Chenming Hu, *Modern Semiconductor Devices for Integrated Circuits*, 1st Ed., Prentice Hall, 2010.

明新科技大學 101 年度 研究計畫執行成果自評表

計畫類別： <input type="checkbox"/> 任務導向計畫 <input type="checkbox"/> 整合型計畫 <input checked="" type="checkbox"/> 個人計畫 所屬院(部)： <input checked="" type="checkbox"/> 工學院 <input type="checkbox"/> 管理學院 <input type="checkbox"/> 服務學院 <input type="checkbox"/> 人文社會科學院 執行系別：電子系 計畫主持人：陳肇業 職稱：副教授 計畫名稱：接觸蝕刻截止層厚度應變對奈米等級矽電晶體之電特性與可靠性研究 計畫編號：MUST-101 電子-1 計畫執行時間：101年01月01日至101年09月30日									
計畫執行成效	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%; text-align: center; vertical-align: middle;">教學方面</td> <td style="padding: 5px;"> 1. 對於改進教學成果方面之具體成效：透過此計畫，使研究生在奈米元件量測與分析的瞭解中，更有實際體會。 2. 對於提昇學生論文/專題研究能力之具體成效：研究生於此計畫中有論文 5 篇國內研討會論文產出；而老師們參與與衍生出的論文有 IEEE 研討會論文 2 篇、SCI 論文 4 篇與 5 篇國內研討會論文產出。 3. 其他方面之具體成效： </td> </tr> <tr> <td style="width: 10%; text-align: center; vertical-align: middle;">學術研究方面</td> <td style="padding: 5px;"> 1. 該計畫是否有衍生出其他計畫案 <input type="checkbox"/>是 <input checked="" type="checkbox"/>否 計畫名稱：_____ 2. 該計畫是否有產生論文並發表<input checked="" type="checkbox"/>已發表 <input type="checkbox"/>預定投稿/審查中 <input type="checkbox"/>否 如下頁附件 3. 該計畫是否有要行生產學合作案、專利、技術移轉 <input type="checkbox"/>是 <input checked="" type="checkbox"/>否 請說明衍生項目：_____ _____ </td> </tr> </table>	教學方面	1. 對於改進教學成果方面之具體成效： 透過此計畫，使研究生在奈米元件量測與分析的瞭解中，更有實際體會。 2. 對於提昇學生論文/專題研究能力之具體成效： 研究生於此計畫中有論文 5 篇國內研討會論文產出；而老師們參與與衍生出的論文有 IEEE 研討會論文 2 篇、SCI 論文 4 篇與 5 篇國內研討會論文產出。 3. 其他方面之具體成效：	學術研究方面	1. 該計畫是否有衍生出其他計畫案 <input type="checkbox"/> 是 <input checked="" type="checkbox"/> 否 計畫名稱：_____ 2. 該計畫是否有產生論文並發表 <input checked="" type="checkbox"/> 已發表 <input type="checkbox"/> 預定投稿/審查中 <input type="checkbox"/> 否 如下頁附件 3. 該計畫是否有要行生產學合作案、專利、技術移轉 <input type="checkbox"/> 是 <input checked="" type="checkbox"/> 否 請說明衍生項目：_____ _____				
教學方面	1. 對於改進教學成果方面之具體成效： 透過此計畫，使研究生在奈米元件量測與分析的瞭解中，更有實際體會。 2. 對於提昇學生論文/專題研究能力之具體成效： 研究生於此計畫中有論文 5 篇國內研討會論文產出；而老師們參與與衍生出的論文有 IEEE 研討會論文 2 篇、SCI 論文 4 篇與 5 篇國內研討會論文產出。 3. 其他方面之具體成效：								
學術研究方面	1. 該計畫是否有衍生出其他計畫案 <input type="checkbox"/> 是 <input checked="" type="checkbox"/> 否 計畫名稱：_____ 2. 該計畫是否有產生論文並發表 <input checked="" type="checkbox"/> 已發表 <input type="checkbox"/> 預定投稿/審查中 <input type="checkbox"/> 否 如下頁附件 3. 該計畫是否有要行生產學合作案、專利、技術移轉 <input type="checkbox"/> 是 <input checked="" type="checkbox"/> 否 請說明衍生項目：_____ _____								
成果自評	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%; text-align: center; vertical-align: middle;">計畫預期目標：</td> <td style="padding: 5px;">訓練研究生提升其研究能力，並提升明新科大研究能力。</td> </tr> <tr> <td style="width: 10%; text-align: center; vertical-align: middle;">計畫執行結果：</td> <td style="padding: 5px;">目前已達成此目標。</td> </tr> <tr> <td style="width: 10%; text-align: center; vertical-align: middle;">預期目標達成率：</td> <td style="padding: 5px; text-align: right;">100 %</td> </tr> <tr> <td style="width: 10%; text-align: center; vertical-align: middle;">其它具體成效：</td> <td style="padding: 5px;"> 透過此計畫，也與台北科技大學/機電整合研究並台灣師範大學/機電科技學系所有密切合作，讓明新科大/電子所的學生不只能與此兩校學生交流，並提升他們的研究能力，也提升明新科大的知名度。 </td> </tr> </table>	計畫預期目標：	訓練研究生提升其研究能力，並提升明新科大研究能力。	計畫執行結果：	目前已達成此目標。	預期目標達成率：	100 %	其它具體成效：	透過此計畫，也與台北科技大學/機電整合研究並台灣師範大學/機電科技學系所有密切合作，讓明新科大/電子所的學生不只能與此兩校學生交流，並提升他們的研究能力，也提升明新科大的知名度。
計畫預期目標：	訓練研究生提升其研究能力，並提升明新科大研究能力。								
計畫執行結果：	目前已達成此目標。								
預期目標達成率：	100 %								
其它具體成效：	透過此計畫，也與台北科技大學/機電整合研究並台灣師範大學/機電科技學系所有密切合作，讓明新科大/電子所的學生不只能與此兩校學生交流，並提升他們的研究能力，也提升明新科大的知名度。								

論文發表: 計畫期間 01/2012~ 09/2012

1. Hsin-Chia Yang, Jui-Ming Tsai, Jhe-Chuan Yeh, Cheng-Huang Tsao, Sungching Chi, Tsing-Yung Chang, **Mu-Chun Wang**, "Promising Low Noise Amplifiers Using 90nm CMOSFET Devices," *IEEE/ 8th International Conference on Wireless Communications, Network and Mobile Computing (WiCOM 2012)*, Sept. 2012, Shanghai, China.
2. Piyas Samanta*, Heng-Sheng Huang, Shuang-Yuan Chen, Tsung-Jian Tzeng, and **Mu-Chun Wang**, "Interface trap generation and recovery mechanisms during and after positive bias stress in metal-oxide-semiconductor structures," *Applied Physics Letters (APL)*, vol. **100**, pp. 203503-1~4, May 14, 2012. (SCI IF 2010: 3.841)
3. 王木俊*、張敬宗、吳國維、楊信佳、陳肇業, "0.18 微米製程 2.4GHz 高輸出增益與低雜訊指數疊接式低雜訊放大器整合於 RFID 晶片" 2012 電子工程技術研討會, 高雄, 台灣, 6 月 1 日 2012.
4. 王木俊*、彭思豪、吳國維、楊信佳、陳肇業, "0.18 微米製程 5.2/5.8GHz 高增益與絕佳隔離之疊接式低雜訊放大器應用於射頻鑑別系統" 2012 電子工程技術研討會, 高雄, 台灣, 6 月 1 日 2012. (口頭優秀論文獎)
5. **Mu-Chun Wang***, Tien-Tsorng Shih, Bao-Yi Lin, Hsin-Chia Yang, Yaw-Dong Wu, Chuan-Hsi Liu, "A Study of Characteristics of Halogen-Free Prevented Solder Materials," *IEEE/ 2012 International Conference on Electronic Packaging Technology & High Density Packaging (ICEPT-HDP)*, B-11, Aug., 2012, Guilin, China.
6. Szu-Hung Chen, Wen-Shiang Liao, Hsin-Chia Yang, Shea-Jue Wang, Yue-Gie Liaw, Hao Wang, Haoshuang Gu and **Mu-Chun Wang***, "High-Performance III-V MOSFET with Nano-stacked High-k Gate Dielectric and 3D Fin-shaped Structure," *Nanoscale Research Letters (NRL)*, vol. 7, iss.1, p.431, Aug. 2012. (SCI IF 2011: 2.73)
7. **Mu-Chun Wang***, Guo-Wei Wu, Wen-Shiang Liao, Hsin-Chia Yang, Tsao-Yeh Chen, "Junction Potential of Uniaxial CESL Strained Nano-regime pMOSFETs on <100> Silicon Wafer," 10th Conference on Microelectronics Technology and Applications at National KaoHsiung Marine University, Semiconductor Device Group, paper number A1., May, 2012, Taiwan.
8. **Mu-Chun Wang***, Yi-Hong Li, Wen-Shiang Liao, Chung-Kuan Du, Hsin-Chia Yang, Tsao-Yeh Chen, "Junction Potential of Strained Nano-regime nMOSFETs on <100> Silicon Wafer with Refilled Si S/D and Compressive CESL Processes," 10th Conference on Microelectronics Technology and Applications at National KaoHsiung Marine University, Semiconductor Material Group, paper number B3., May, 2012, Taiwan.
9. Tsao-Yeh Chen, Chung-Kuan Du, Wen-Shiang Liao, Jing-Zong Jhang, Hsin-Chia Yang, Tsao-Yeh Chen, Ming-Feng Lu, **Mu-Chun Wang***, "A Study of Junction Potential of Refilled Si S/D Process for Nano-regime MOSFETs on <100> Silicon Wafer," 10th Conference on Microelectronics Technology and Applications at National KaoHsiung Marine University, Semiconductor Device Group, paper number A3., May, 2012, Taiwan.
10. **Mu-Chun Wang***, Jing-Zong Jhang, Wen-Shiang Liao, Hsin-Chia Yang, Tsao-Yeh Chen, Ming-Feng Lu, "Nano-scale Compressive Strained CESL Impacting Junction Potential of pMOSFETs on <100> Si Wafer," 10th Conference on Microelectronics Technology and Applications at National KaoHsiung Marine University, Semiconductor Device Group, paper number A10., May, 2012, Taiwan.
11. **Mu-Chun Wang***, Ssu-Hao Peng, Hsin-Chia Yang, Tsao-Yeh Chen, "2.4GHz High Gain and High Isolation of Cascade Low Noise Amplifier in RFID," 10th Conference on Microelectronics Technology and Applications at National KaoHsiung Marine University, System Design Group, paper number D16., May, 2012, Taiwan.
12. **Mu-Chun Wang***, Ssu-Hao Peng, Wen-Shiang Liao, Hsin-Chia Yang, Tsao-Yeh Chen, Ming-Feng Lu, "Junction Potential vs. Channel Lengths of Compressive/ Tensile Strained CESL Nano-regime nMOSFETs on <100> Silicon Wafer," 10th Conference on Microelectronics Technology and Applications at National KaoHsiung Marine

University, Semiconductor Material Group, paper number B14., May, 2012, Taiwan.

13. Hsin-Chia Yang, Wei-Yen Peng, Wen-Shiang Liao, Ssu Hao Peng, Tsao-Yeh Chen, Mu-Chun Wang*, "Variation of Junction Potential of Nano-regime nMOSFET with Tensile Strained CESL Process on <100> Si Wafer," 10th Conference on Microelectronics Technology and Applications at National KaoHsiung Marine University, Semiconductor Material Group, paper number B15., May, 2012, Taiwan.
14. Mu-Chun Wang*, Cheng-Kuang Chuan, Wen-Shiang Liao, Hsin-Chia Yang, Tsao-Yeh Chen, "Nano-Scale CESL Strain and Refilled S/D SiGe Process Influencing Junction Performance on <110> Silicon Substrate," 10th Conference on Microelectronics Technology and Applications at National KaoHsiung Marine University, Semiconductor Material Group, paper number B21., May, 2012, Taiwan.
15. H. W. Hsu, H. W. Chen, H. S. Huang, C. P. Cheng, K. C. Lin, S. Y. Chen, M. C. Wang*, C. H. Liu*, "Time Dependent Dielectric Breakdown (TDDB) Characteristics of Metal-Oxide- Semiconductor Capacitors with HfLaO and HfZrLaO Ultra-Thin Gate Dielectrics," Solid State Electronics (SSE), vol. 55, pp.2-6, Nov., 2012. (SCI IF2010: 1.438) (*: corresponding author)
16. Chuan-Hsi Liu*, Hung-Wen Hsu, Hung-Wen Chen, Pi-Chun Juan, **Mu-Chun Wang**, Chin-Po Cheng, Heng-Sheng Huang, "Reliability Characteristics of Metal-Oxide-Semiconductor Capacitors with 0.72 nm Equivalent-Oxide-Thickness LaO/HfO₂ Stacked Gate Dielectrics," Microelectronic Engineering (MEE), vol. 89, pp.15-18, Jan.. 2012. (SCI IF 2010: 1.575).

明新科技大學 101 年度校內專題研究計畫 運用於教學成果記錄表

計畫類型	<input checked="" type="checkbox"/> 個人型 <input type="checkbox"/> 整合型 <input type="checkbox"/> 任務導向型		計畫編號	MUST-101 電子-1	
計畫名稱	接觸蝕刻截止層厚度應變對奈米等級矽電晶體之電特性與可靠性研究				
計畫主持人 資料	姓名	陳肇業		職稱	副教授
	學院	工學院		系所	電子系
聘用助理	系科班級	學號	姓名	聘僱起訖時間	工作內容
	電子所	C00030026	杜重寬	01/01~ 05/31	電性量測/數據資料繪圖
	電子所	C00030020	吳國維	01/01~ 05/31	資料蒐集/文書處理
融入課程	開課班級	課程名稱		修課 人數	課程內容概述
	電子所	積體電路量測與可靠性分析		8	瞭解並分析奈米元件的電特性與可靠性之元件壽命萃取並與次微米級元件作比較。
指導碩士論文	指導班級	論文名稱		分組 人數	論文內容概述
	電子所	單軸 CESL 應力下 (110) 面奈米等級 MOSFET 之通道電阻特性研究		1	本次研究的主題主要是討論 (110)MOSFET 電晶體於雙軸應變工程技術下，藉壓縮與伸拉應變的特性，對元件產生一定的電性影響。藉由實驗數據分析，可瞭解元件尺寸的縮小，在不同通道長度下，其元件通道所受的壓縮與伸拉應變，如何影響元件驅動電流效能，進而研究瞭解此效能與通道電阻的關連性。
指導學生參與活動或競賽	活動或競賽名稱			參與 人數	活動或競賽成果概述
	2012 電子工程技術研討會			1	口頭優秀論文獎

製作教材與 教具	教材與教具名稱		教材與教具概述
其他促進教 學之成果說 明	<p>透過此計畫，學生們對半導體精密參數儀與 RLC 量測儀器的瞭解有大幅成長，並能連結製程與元件並可靠度之間的關係性。培養其實力，成為半導體或面板顯示器業界的基礎工程師。</p>		