

明新科技大學 校內專題研究計畫成果報告

絕緣層上矽鍺磊晶之可行性研究 A study of Si-Ge and Ge thin films on silicon on insulator

計畫類別：任務型計畫 整合型計畫 個人計畫

計畫編號：MUST-97-材料-01

執行期間： 97年 3月 1日至 97年 9月 30日

計畫主持人：陳邦旭

共同主持人：

計畫參與人員：徐啟昇

處理方式：公開於校網頁

執行單位：明新科技大學

中 華 民 國 97 年 10 月 20 日

摘要

在下世代的互補式金氧場效應電晶體的研究中，在使用絕緣層覆矽與應變矽做為元件基板與載子通道受到廣泛的注意。在本研究計畫中，我們將兩者結合，研究絕緣層覆矽鍺薄膜的可行性。利用二氧化矽為鍺元素的擴散阻擋層特性，鍺沉澱法適合用來製備絕緣層覆鬆弛矽鍺薄膜。矽晶隔離法之晶圓，50 奈米厚度之 smart cut 之絕緣矽晶圓以及 20 奈米厚度之 smart cut 之絕緣矽晶圓當初始基材。使用超高真空化學氣相沉積法來製備應變矽鍺薄膜。在研究結果顯示，絕緣矽晶圓之矽薄膜表面品質與應力影響後續成長之應變矽鍺晶薄膜鍺原子濃度，表面形貌與薄膜厚度。其所成長應變矽鍺晶已有鬆弛與表面粗化的現象，此矽鍺晶並不適用於後續氧化與熱處理之用。使用 50 奈米厚度之 smart cut 之絕緣矽晶圓，可以成長高品質絕緣層覆應變 $\text{Si}_{0.9}\text{Ge}_{0.1}$ 薄膜與絕緣層覆應變 $\text{Si}_{0.95}\text{Ge}_{0.05}$ 薄膜。然而所成長絕緣層覆 $\text{Si}_{0.85}\text{Ge}_{0.15}$ 薄膜已有鬆弛與表面粗化的現象。在 50 奈米厚度之絕緣矽上，在 550 度 C 的成長環境中，形成一個平坦的連續矽鍺薄膜，其鍺濃度要小於 13%，同時此絕緣矽基板之矽薄膜應力增加在應變矽鍺薄膜中的鍺濃度。應用高溫氧化(1050 度 C，7 小時)與後續均質化熱處理方式(4 小時)在絕緣層覆應變 $\text{Si}_{0.9}\text{Ge}_{0.1}$ 薄膜上，完成鍺濃度約為 43.6%，17 奈米厚之矽鍺薄膜內殘餘的應力約為 0.0242 的薄鬆弛矽鍺薄膜。應用高溫氧化(1050 度 C，7 小時)與後續均質化熱處理方式(4 小時)在絕緣層覆應變 $\text{Si}_{0.95}\text{Ge}_{0.05}$ 薄膜上鍺薄膜的鍺濃度約為 33.4%，矽鍺內殘餘的應力約為 0.0329 左右。連續的氧化處理，有助於高鍺之絕緣矽上矽鍺薄膜鍺沉澱的進行，以達到高鍺濃度的鬆弛矽鍺薄膜。本計畫使用 20 奈米厚度之 smart cut 之絕緣矽晶圓為基材，可以成功的成長高濃度的高品質與低粗糙度應變 $\text{Si}_{0.85}\text{Ge}_{0.15}$ 薄膜。成長高濃度絕緣矽基板之應變矽鍺薄膜，其絕緣矽上矽薄膜厚度要降低。然而鍺沉澱法進行過程中所產生的缺陷，會造成應用鬆弛矽鍺薄膜的元件的良率下降，是目前亟待克服的難題。

關鍵詞： 緣層覆矽鍺薄膜，鬆弛矽鍺，鍺沉澱法，超高真空化學氣相沉積法

Abstract

In the next generation of complement metal-oxide-semiconductor field effect transistor (CMOSFET), silicon on insulator (SOI) and strained Si are used to as the substrate and carrier channel. In this project, we combined both of SOI and strained Si, to explore the feasibility of SiGe on insulator (SGOI). Oxide can serve a role as a diffusion barrier for the interdiffusion of Ge atoms under high temperature, this characteristic is benefit for the application of Ge condensation approach for the preparation of thin relaxed SiGe on insulator. We used three types of SOI wafers as substrate separation by ion implantation oxide (SIMOX), SOI wafer with a 50-nm-thick Si top layer, and SOI wafer with a Si top layer of 20 nm layer. Our results suggests that the crystalline, surface morphology, and Ge content in SiGe layer upon buried SiO₂ layer are dependent on the quality and stress status of initial Si layer on oxide. With SIMOX, the poor crystalline and rough surface are found in the SiGe on insulator films, which are not suitable for the subsequential oxidation and iso-thermal annealing. A high quality and flat surface Si_{0.9}Ge_{0.1} film on insulator and Si_{0.95}Ge_{0.05} on insulator films are grown on the SOI wafers with a 50-nm-thick Si top layer. The stress in the top Si layer on insulator may enhance the Ge content in SGOI films by increasing of H-desorption during epitaxial process. After dry thermal oxidation at 1050 °C and a followed-up annealing process for 4 hrs, a thin (17 nm) SGOI layer with high Ge fraction (x = 0.43) were fabricated and residual stress of 0.0242 by use of a layer structure consisted of Si_{0.9}Ge_{0.1}/Si/oxide/Si. Using oxidation at 1050 °C and a followed-up annealing process for 4 hrs, a thin SGOI layer with high Ge fraction (x = 0.33) were fabricated and residual stress of 0.0329 by use of a layer structure consisted of Si_{0.95}Ge_{0.05}/Si/oxide/Si. Oxidation process plays an important role in the rejection of Ge atoms during the Ge condensation with a high Ge content in SGOI films. Rough and poor crystalline in SiGe films with 15% Ge content are grown on the SOI wafers of 50-nm-thick Si layer. With post-annealing treatment, it could homogenize the distribution of Ge atoms in the final thin-relaxed SiGe layer. In this project, we also used a 20-nm-thick Si on insulator as the buffer, a high quality of Si_{0.85}Ge_{0.15} film with smooth and a clearly interface at SiGe/Si can be successfully achieved. Thickness of Si layer upon buried oxide is an important factor to decide the crystalline and quality of SiGe overlayer. Several defects occur in the films of relaxed SGOI films during the process of Ge condensation, which may result in the yield loss of devices.

Keyword: SiGe on insulator, relaxed SiGe, Ge condensation, UHVCVD

目錄

中文摘要	i
英文摘要	ii
I.前言	1
II.研究目的	2
III.實驗與研究方法.....	3
IV.結果與討論	4
V. 結論	19
VI. 參考資料	19

I. 前言

絕緣層覆矽(silicon on insulator, SOI)於1978年被提出來做為互補式金氧場效應電晶體(CMOSFET) 製作技術的基底材料以來，此種基板提供了元件操作快速、操作時低功率損耗、減少元件操作軟錯誤、增強元件閉鎖抑制(latch-up immunity)、製程整合簡化以及尺寸微小化的改善等優勢。雖然早先是將絕緣層覆矽材料應用於特殊的電子元件中，然而成為主流CMOS應用的契機已展開來。在過去的數年中，已經被運用在各種類型的尖端IC應用上，諸如微處理器[1]、伺服器、智慧電源管理以及射頻(RF)信號處理器等等，特別是使用在元件架構為部分空乏式(partial depletion (PD)) SOI的矽層構造上。隨著目前CMOS電晶體的實體載子通道長度(Lg)微縮到50奈米的世代——一路來到10奈米的技術節點——以較薄的覆矽層之SOI為基板的CMOS元件結構，另一種替代性架構全空乏式(Fully-depleted (FD) SOI，配合多重閘極結構 (Multi-gate)，例如具有高介電常數閘極介電質層、金屬電極、提高的源-汲極以及應變矽通道等架構預同緒式場效電晶體(FinFET)，開拓出SOI基板在下世代電子元件的商機[2]。

在SOI晶圓的基材的製作中，是透過兩個主要的途徑來進行。第一種方式是將氧離子佈植到矽晶圓或矽磊晶圓上，此種方法稱為氧離子植入矽晶隔離法(separation by ion implantation oxide, SIMOX) [3]。相關SIMOX的改良方法，特別是針對低劑量氧離子的佈植($\sim 10^{17} \text{ cm}^{-2}$)，是高溫氧氣的環境下，藉由退火方式來達成目的。最近有一種SIMOX的替代方案類型稱為SPIMOX [4]，此方法為在佈植過程當中使用到包含 H_2O^+ 、 HO^+ 及 O^+ 等水蒸汽電漿(water plasma)。第二種主要的SOI晶圓製作的途徑已被廣泛地稱為晶圓結合(bonding)方式。此方法主要透過加熱方式於第一片矽晶圓(handle wafers)之上，所生成的氧化矽(SiO_2)而將兩片晶圓貼合在一起，之後使用將二片晶圓分離的方法。第一片晶圓上方的薄矽薄膜(在氧化矽上)會被轉移到第二片晶圓上(handle wafer)。針對晶圓的貼合方式，業已發展出許多製造和分離的方法。這些方法包括有矽晶圓的巨觀機械研磨法或背向蝕刻法(back etching)。一直到研磨或蝕刻到達成所要的矽薄膜厚度為止。一個較為複雜的方式，是在晶圓貼合之前，於等待被削薄的晶圓上加上蝕刻終止的機制。經由選擇性蝕刻劑對第一片晶圓的塊體(bulk)來進行較快速度的移除，而當達到重度摻雜的硼層、Si/Ge磊晶層終止。這樣的方式被稱之為貼合與蝕刻SOI(BESOI)製程。另外一種製作SOI晶圓接合的變化方式被稱為“Smart Cut”製程[5]，利用氫離子佈植來剝離矽薄膜。此方法主要於最終的SOI晶圓中的矽膜層與埋入氧化層(BOX)厚度，則從初始的起始矽晶圓被劈裂開來並且被轉移到操作晶圓上面。進行轉移層的方法時，也可以考慮採用磊晶層轉移(ELTRAN)的方式。這個方法是源自於最初被稱為完全隔離多孔性矽製程的改良及更新應用。多孔性薄膜是藉由電化學陽極反應所形成的。多孔性矽膜在機械強度表現上較薄弱，但保有做為其後續SOI處理時對於由在氫氣(H_2)改善矽晶圓的單結晶度(Crystallinity)要求。

另一方面，近年來由於輕薄短小的可攜式電子裝置與高效能電子元件的市場快速增加與對其低耗電量與高運算能力的需求，其中對於矽通道(Si channel)施加承受一外加應力，形成所謂應變矽，造成載子能帶的變化以加速載子的移動率[6]，成為在相同元件架構下，提升奈米元件效能的最佳方式。應變矽之最大優點為可以增加載子遷移率，且保有矽在MOSFET上的優勢，如此元件有高品質的閘氧化層與非常好的金氧半導體介面(interface)，而所形成之表面通道(surface channel structure)。可減輕短通道效應(short channel effect) 與產生較高的閘極電容(gate capacitance)，而由於應變矽之高遷移率，故驅動電流提高[7]。形成應變矽有下列幾種方式 (1) 製程造成應變矽(Process induced Si)，(2) 利用鬆弛矽鍺磊晶層(relaxed SiGe)來製做應變矽，(3) 外加機械力來製做應變矽。此外由於矽的本質能隙為1.1 電子伏特 (eV)，因此僅能吸收與產生此波段以下的電磁波，對目前短距離無線通訊常使用的1300 奈米與1500 奈米之頻段無法產生有效的響應。因此在矽基為主的光電積體電路而言，因為鍺的本質能隙為 0.65 電子伏特。鍺原子的加入有助於矽基光電元件成為在1300 奈米與1500 奈米之頻段的射源與光偵測器。為此目的，高濃度鍺的矽鍺薄膜成為多通道應變矽鍺電子元件與光電元件重要的初使基材 (start materials)。因為矽與鍺的晶

格常數不匹配(lattice mismatch)，矽的晶格常數為 5.431 \AA ，鍺為 5.646 \AA ，相差約為4%，成長矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$ alloys)其晶格常數則會略大於矽，因此若將矽沉積於鬆弛矽鍺上，由於磊晶成長的特性，晶格常數較小的矽原子勢必受到一橫向的張力，進而造成應變(strain)，而此層矽便形成應變矽(strained-Si)。傳統上鬆弛矽鍺係利用成份漸變層來形成緩衝層(buffer)，例如在形成20%的鬆弛矽鍺薄膜前先成長一層成份0至20%的成份漸變層的矽鍺緩衝層。其成份變化率一般而言是每微米是10%。之後再成長2微米的鬆弛矽鍺薄膜。此方法可以使在矽鍺與矽鬆弛所需要引進的錯位差排來釋放能量，然而錯位差排的大量產生，相互作用的錯位差排會依照修正Frank Read 機制(Modified Frank Read；MFR)來形成沿 $\langle 110 \rangle \{111\}$ 產生的累積差排 [8]，造成表面形貌粗化。雖然利用成份漸變層來形成緩衝層，可以有效得到有較低穿遂差排密度的鬆弛矽鍺薄膜然而此項技術的幾項缺點(1)成長過厚矽鍺薄膜使的成本，產量相對較矽基材為昂貴；(2)過厚矽鍺薄膜倒致接續的微影製程對準不易；(3)鍺的熱導係數較低，因此矽鍺薄膜的電子散熱不易會造成所謂自我加熱的效應；(4)累積差排會導致表面的粗糙程度增加。而通常利用此矽鍺緩衝層方法製作之應變矽其表面皆會有cross hatch，因在應變場底下所造成的一週期性的上下起伏。為克服上述的問題，進來產業與學術界提出了一些方法來改變矽鍺薄膜的鬆弛機制並得到高濃度的矽鍺薄膜。首先是使用低溫成長的矽來當成緩衝層[9, 10]，因為低溫成長的矽品質不佳，其上成長矽鍺薄膜時，其鬆弛反應所產生的錯位差排會被限制在此一低溫成長的矽層中，改善表面形貌和降低穿遂差排的密度與矽鍺薄膜厚度，對於利用 SiH_4 成長矽鍺的化學氣相系統，因為矽的沉積速率過慢，因此並不適合用來做低溫矽或矽鍺成長。此一做法亦可改善表面形貌和降低穿遂差排的密度與使用較薄矽鍺薄膜厚度即可達成相當的鬆弛程度。近來有些研究群利用離子佈植的方法來，來製作鬆弛矽鍺薄膜[11, 12]，他們使用氣態原子例如氫和氫離子佈植到應變矽鍺/矽基材的下方，此一結構經過熱處理之後氫和氫離子會形成所謂的孔穴(cavity)，此孔穴會釋放錯位差排來促進矽鍺薄膜的鬆弛度。藉此改善表面形貌和矽鍺薄膜厚度。我們的研究團隊也嘗試使用將矽鍺薄膜成長在漸變成份量子井，矽/矽鍺量子井，矽碳/矽鍺與矽鍺量子點上均可在完全鬆弛的矽鍺薄膜上有效改善表面形貌和矽鍺薄膜厚度，然而這些成果主要集中在成長鍺濃度為20%左右，此鍺濃度對製作 n -型應變矽金氧半導體以足夠增加電子遷移率，然而對矽鍺光電元件與增加電洞遷移率之 p -型應變矽金氧半導體還不足夠。絕緣層上之矽鍺薄膜也被使用成為一種有效的緩衝基材(template)[13]。此緩衝基材的優點為二氧化矽/矽基板界面為一優良的差排沉積處，可有效限制錯位差排的運動，藉此降低穿遂差排密度。進來由於二氧化矽為鍺原子良好的擴散障壁，因此鍺沉積法成為絕緣矽鍺薄膜相當優異的製備方式 [14]。結合矽鍺異質結構與絕緣層覆矽技術，因為二氧化矽層非晶結構的特性，適合作為差排移動的限制區域，因此可以成鬆弛矽鍺的底部有效應力源。在目前與絕緣層覆矽鍺技術主要製作方法有(1)晶圓結合配合機械研磨 [15]；(2)晶圓結合配合蝕刻停止層 [16]；(3)晶圓結合配合機械研磨與蝕刻停止層；(4)鍺沉澱法 (Ge condensation) [14, 17]。其中鍺沉澱法避免晶圓結合之結合問題與可形成應變矽，應變矽鍺，應變鍺，與鍺通道技術。此方法受到相當重視。

II. 研究目的

此研究計畫的研究目的主要使用鍺沉積法。利用現有氣相磊晶器來成長鍺在絕緣上矽之基板上；因此本計畫將著重在降低矽鍺薄膜於絕緣層上之矽基材之成本考量，利用於矽鍺薄膜於絕緣層矽上的設計，在藉此在在矽鍺薄膜於絕緣層初始矽基材形成一個新型的緩衝層，在新型的緩衝層上再成長接續元件所需之磊晶層。此的緩衝層主要來限制錯位差排依修正Frank Read 機制所造成的滑動並降低穿遂差排的數量。期望藉研究新型矽鍺薄膜對後續絕緣層上之矽基材所生成矽鍺薄膜的物理參數的影響，並得到實驗參數的最佳化，包括鍺均勻層之厚度，後續熱處理參數，與熱氧化處理，對最終絕緣層上矽鍺(鍺)之厚度與表面平坦度，與鬆弛程度的關係。最後，並研究後續熱處理參數，包括溫度，時間，與初始鍺濃度)對於絕緣層上矽鍺薄膜之穿遂差排的數量，表面平坦度，與鬆弛程度的影響。並研究基板對後續矽鍺薄膜的影響。

III. 實驗與研究方法

在本計畫中，將利用目前可用的鍍薄膜沉積製程來成長矽鍍薄膜於絕緣層上之矽基材之上。首先先對鍍薄膜沉積製程系統做成長速率與溫度的校正。得到足夠之條件後，將利用標準 RCA 清潔程序來清潔絕緣層上之矽基材之表面，再利用氫氟酸完成最後清潔程序，使得絕緣層上之矽基材之矽基材表面保持氫離子保護狀態，以防止氧化層生成。

(a) 利用商業化之絕緣層上之矽基材為初始基材上(如圖一)，此絕緣層上之矽基材之表面矽薄膜厚度為 20~50 奈米，或是使用 SIMOX 之絕緣層覆矽之晶圓。

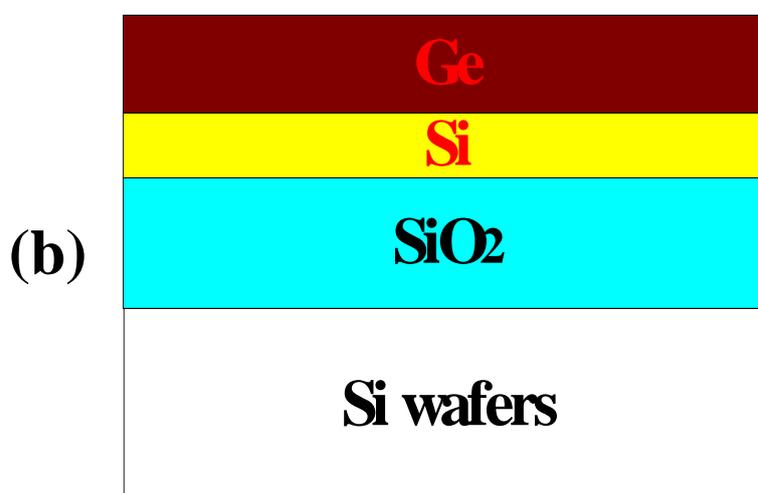
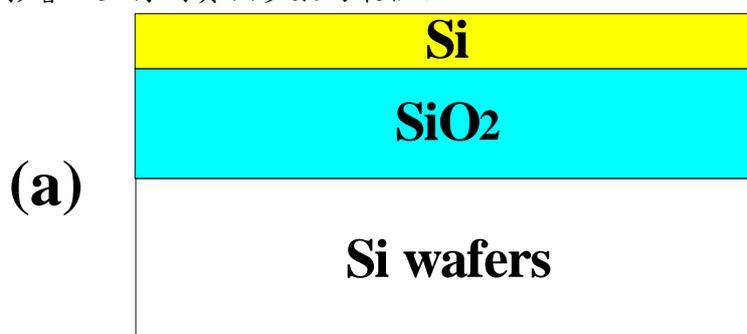
(b) 之後成長適當厚度的矽鍍薄膜(如圖 2)，約 25~75 奈米，主要來提供上層高濃度矽鍍薄膜釋成分的來源。此層需依照最終均勻矽鍍薄膜層來作調變。

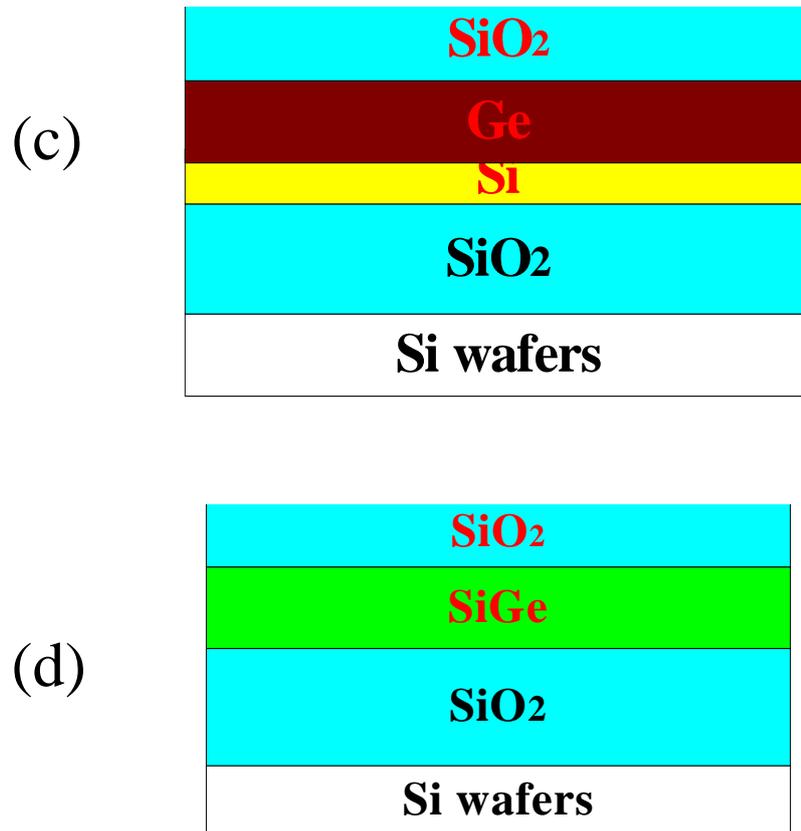
(c) 在鍍薄膜/矽/二氧化矽/矽基材多層結構之上再成長一層二氧化矽薄膜層(如圖 3)。此層厚度約為 100 奈米，其成長方法為電漿增強化學氣相沉積法，因此其成長溫度可控制在 390 度以下，藉此防止矽鍍薄膜/矽薄膜間的交互擴散。此一二氧化矽薄膜層主要目的在於降低矽鍍薄膜/矽的交互擴散與防止鍍原子在後續熱處理過程中進一步向外擴散或蒸發。

(d) 在前述之二氧化矽/鍍薄膜/矽/二氧化矽/矽基材多層結構進一步加熱處理，因為上下兩層皆為有效的鍍擴散時的擴散障壁，熱處理過程中，鍍與絕緣層上之矽薄膜交互擴散，同時氧化的效果使絕緣層上之矽薄膜受到氧化，最後形成有效的絕緣層上之矽鍍(如圖 4)。

(e) 在前述之二氧化矽/鍍薄膜/矽/二氧化矽/矽基材多層結構進一步加熱處理，其程序需搭配矽鍍相圖，其熱處理程序與降溫程序需詳加控制。二氧化矽為防止表面矽鍍原子的表面擴散。

(f) 經適當材料分析包括 X-ray diffraction，電子顯微鏡分析，表面粗糙度分析(原子力顯微鏡)，與拉曼光譜，來研究新型矽鍍薄膜對後續絕緣層上之矽基材所生成矽鍍薄膜的物理參數的影響，並得到實驗參數的最佳化。。



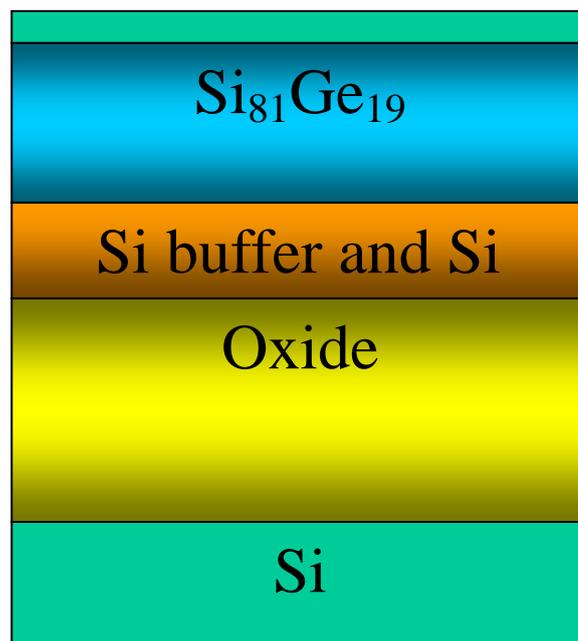


圖一 (a)所使用絕緣層上之矽基材之示意圖 (b) 成長矽鍺薄膜於絕緣層上之矽基材之上 (c) 成長薄二氧化矽於步驟二基版之上 (d) 熱處理二氧化矽/鍺薄膜/矽/二氧化矽/矽基材多層結構

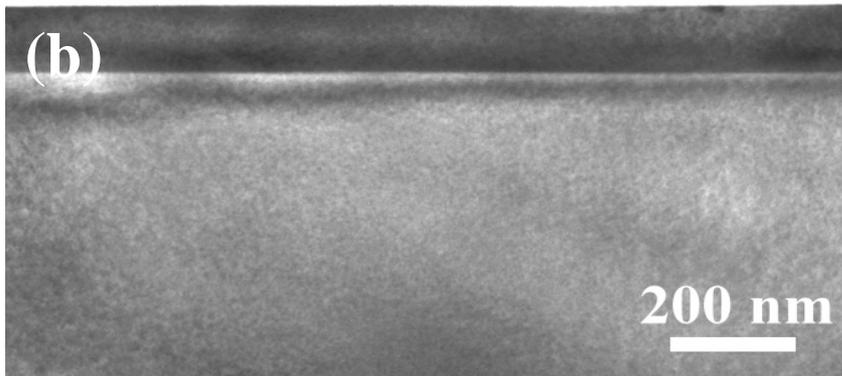
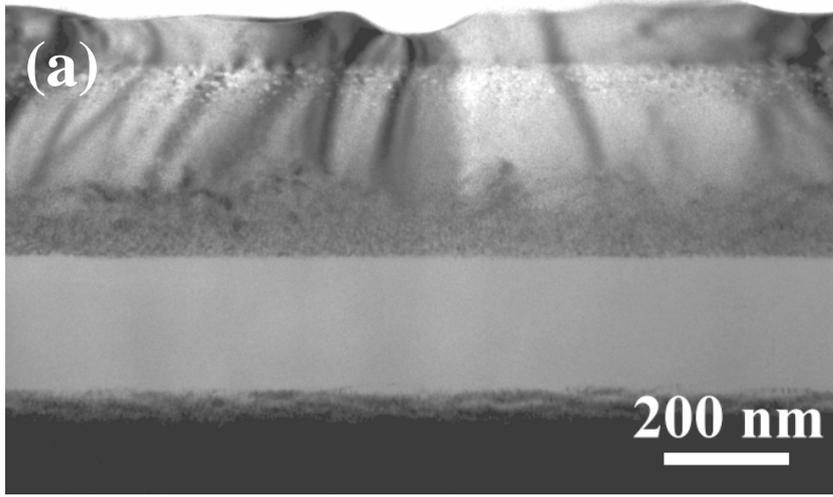
IV. 結果與討論

4.1 以 SIMOX 為基板之矽鍺薄膜

圖 2 為本研究計畫中，所使用的 SIMOX 晶圓與其上所欲成長的矽鍺薄膜。其 SIMOX 晶圓的結構參數為 Oxide 厚度 200 奈米，絕緣層上之矽薄膜厚度為 250 奈米，我們成長厚度為 100 奈米的矽鍺薄膜，其鍺濃度為 20%。圖三為 SIMOX 晶圓與其上所欲成長的矽

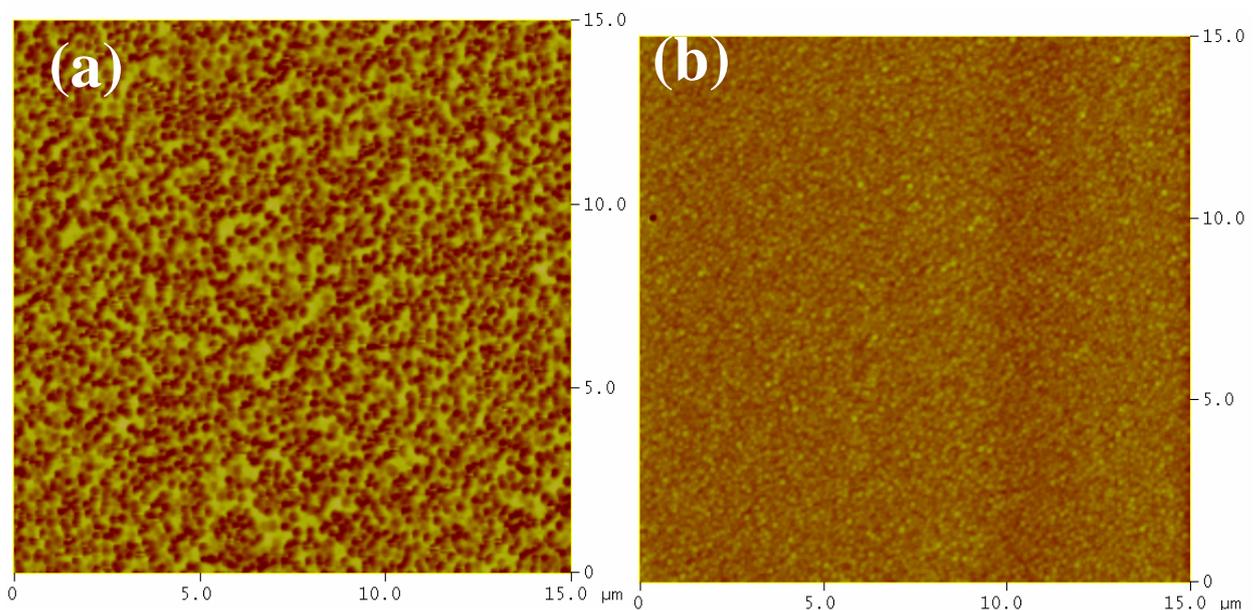


圖二 SIMOX 晶圓與其上所欲成長的矽鍺薄膜之示意圖

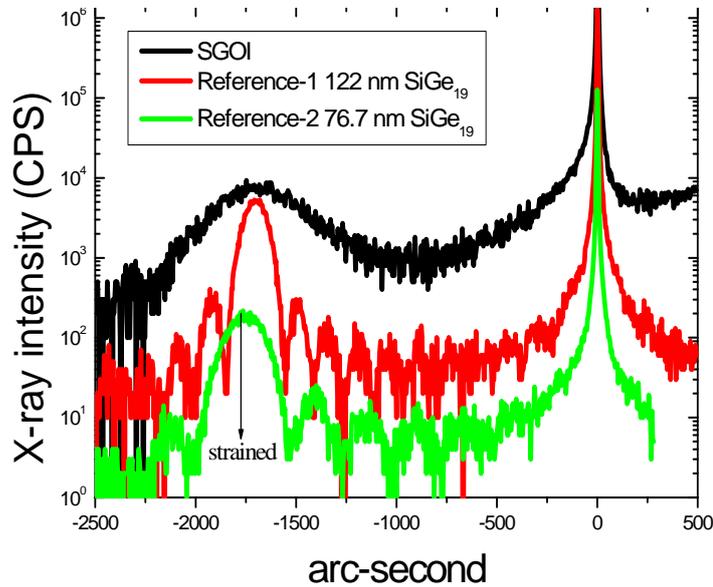


圖四 (a) SIMOX 晶圓 (b)在矽晶圓與其上所欲成長的矽鍺薄膜上矽鍺薄膜之橫截面穿透式電子顯微圖。

鍺薄膜橫截面穿透式電子顯微圖與在矽晶圓上矽鍺薄膜之對照試片。矽鍺薄膜的成長參數為一致。由微結構的分析中，我們可以看出在矽晶圓上矽鍺薄膜形成一個連續且均勻的薄膜，而在圖四(a)的微結構的分析中，發現矽鍺薄膜受到應力而呈現表面相當的粗糙。在圖五為此兩試片之原子力顯微鏡表面形貌圖。圖五(a)為 SIMOX 試片，與圖五(b)為在矽晶片，其掃描範圍均為 $15 \times 15 \mu\text{m}^2$ 。圖五(a)的粗糙度為大於 30 奈米，在矽基板上矽鍺表面粗糙度小於 0.3 奈米。此結果與橫截面穿透式電子顯微鏡的結果一致。在磊晶矽鍺薄膜的



圖五 (a) SIMOX 基板上與 (b) 矽基板上矽鍺薄膜原子力顯微鏡表面形貌圖

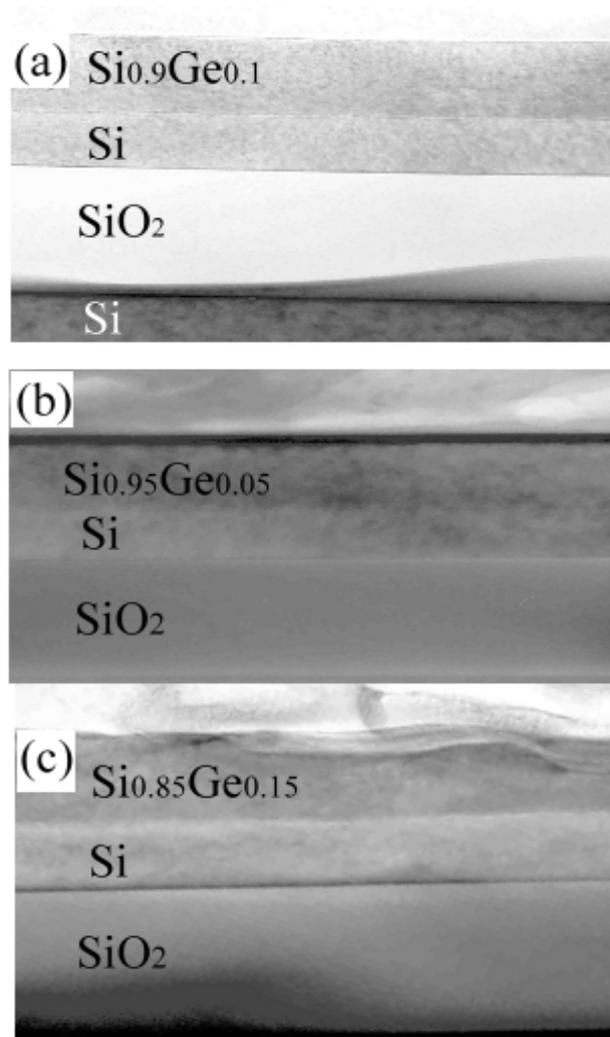


圖六. 在 SIOMX 上矽鍺薄膜，在矽晶圓上 122 奈米厚的矽鍺薄膜，與在矽晶圓上 76.7 奈米厚的矽鍺薄膜之雙晶繞射圖

結晶性中，在圖六，比較三個結構的試片的雙晶 X-ray 繞射圖形，分別為在 SIOMX 上矽鍺薄膜，在矽晶圓上 122 奈米厚的矽鍺薄膜，與在矽晶圓上 76.7 奈米厚的矽鍺薄膜。在矽晶圓上可以觀察到其矽鍺主要布拉格角位移量為-1750 arc-second 左右。而由 scherrer 公式判斷，在矽晶圓上的矽鍺薄膜，其結晶品質均較在 SIMOX 晶圓上的矽鍺薄膜要佳。而厚度條紋的清晰可辨，更證明在矽晶圓上的矽鍺薄膜其與矽基板的界面清楚。對應於在 SIMOX 晶圓上的矽鍺薄膜，其矽鍺主要訊號粗化，而厚度條紋的消失，隱含，此薄膜的結晶性不佳，其與基板的界面品質不佳。而在矽(004)的訊號左側，有應變矽的訊號，此訊號的來源，可能絕緣層上矽薄膜受到有壓應力之矽鍺薄膜所造成之結果。由截面穿透式電子顯微微觀圖分析，由 SIMOX 所製備的晶圓，其絕緣層上矽薄膜靠近基板表面與二氧化系介面均有離子佈植所造成得佈植損傷，因此，這些損傷可能造成後續矽鍺磊晶薄膜品質欠佳的主要原因。因此，在絕緣矽上矽鍺晶圓磊晶技術，其基板的矽薄膜扮演相當重要的角色，而鍺濃度的影響，也可能造成其表面粗糙度的形成。

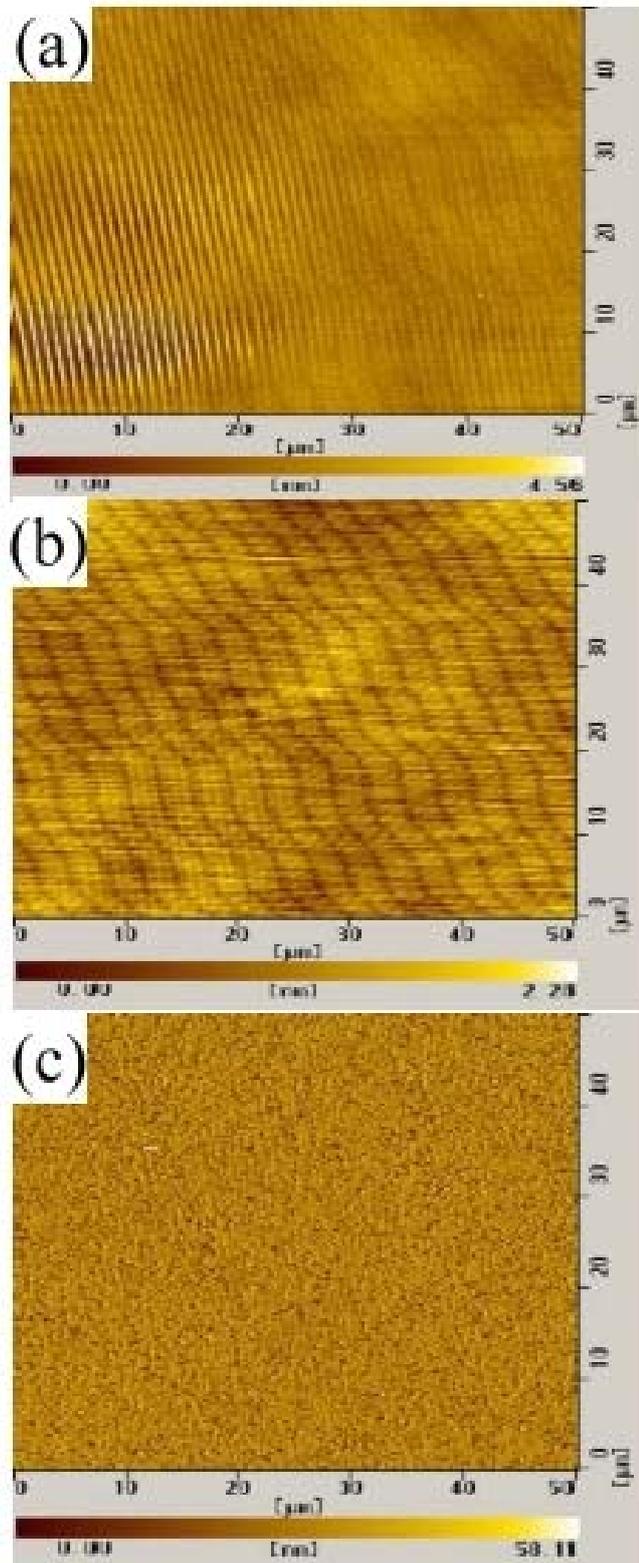
4.2 以 50 奈米厚度之絕緣矽薄膜為基板之絕緣矽鍺薄膜

在本計畫中，使用利用 Smart cut 技術所製備的 SOI 晶圓。其掩埋氧化層(buried oxide)厚度為 145 奈米，絕緣矽其上矽薄膜厚度為 55 奈米。因為鍺濃度可能造成其表面粗糙度的生成，因此，在此部分同時研究鍺濃度與其上所欲成長的矽鍺薄膜之結晶性與表面形貌之影響。預計成長的矽鍺薄膜之鍺濃度為 5，10，與 15%。圖七為此三種條件，成長於絕緣矽晶圓上矽鍺上之橫截面穿透式電子顯微鏡微結構圖。圖七(a)，(b)，與(c)分別為預定鍺濃度為 10，5，與 15%。由微結構圖可觀察到，除 15%的試片外，其餘 10 與 5%的試片，其上的矽鍺薄膜為一低粗糙度的薄膜，而其與絕緣矽其上矽薄膜的界面也相當清楚。此兩項特性有助於矽鍺薄膜在後續熱氧化與熱退火過程中，形成連續的鬆弛矽鍺薄膜。而在 15%的試片上，由於鍺的濃度較高(15%)，因此所形成的矽鍺薄膜，其壓應力藉由表面的粗糙化來進行釋放。在如此的成長條件化，其表面的粗糙度在橫截面穿透式電子顯微鏡微結構圖中清晰可見。由於矽氧化過程與其應力狀態有關，在後續熱氧化與熱退火過程中，會形成部分矽鍺薄膜區域氧化速率較快，使此條件不易形成連續的鬆弛矽鍺薄膜。因此，此條件並不適合作為鬆弛矽鍺薄膜。圖八為成長於絕緣矽晶圓上矽鍺薄膜之表面原子顯微鏡圖。(a)，(b)，與(c)分別為預定鍺濃度為 10，5，與 15%的矽鍺薄膜。圖八(a) 與 (b) 其表面粗糙度均低於 0.3 奈米，而在圖八(c)，其表面粗糙度約為 13 奈米，此結果與穿電子顯微鏡微結構圖所得到的結果一致。在圖九與圖十，比較三個結構的試片的雙晶 X-ray 繞射圖



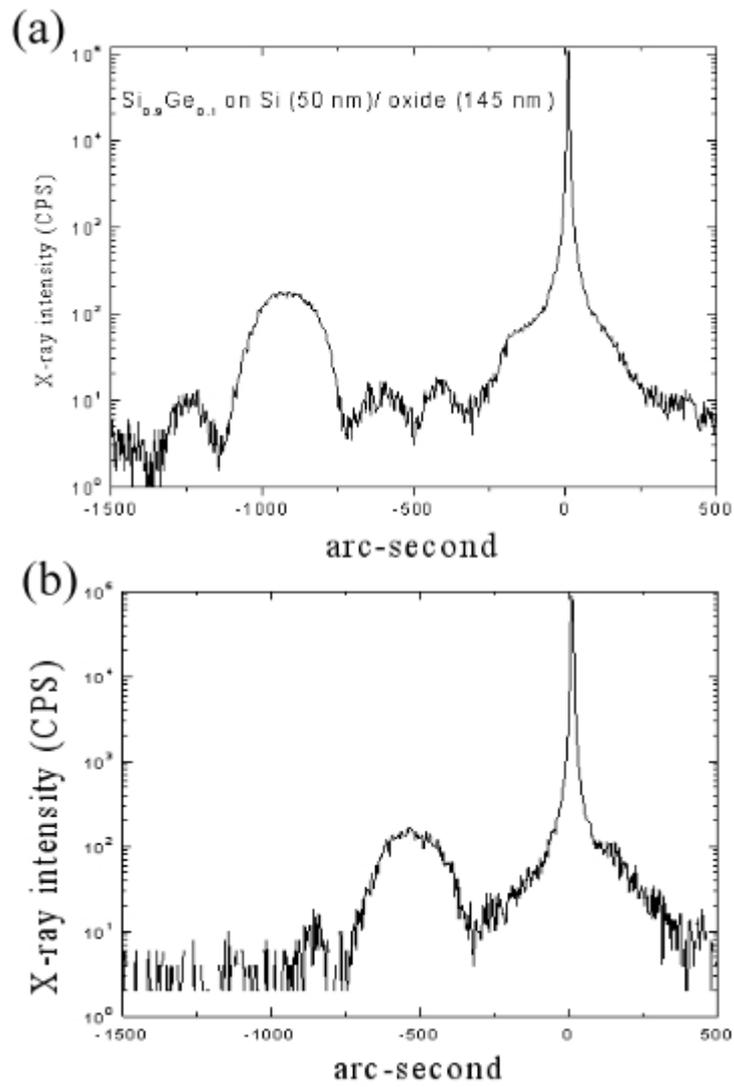
圖七. 成長於絕緣矽晶圓上矽鍺薄膜之橫截面穿透式電子顯微鏡微結構圖。(a)，(b)，與 (c)分別為預定鍺濃度為 10，5，與 15%的矽鍺薄膜。

形。較三個結構的試片的雙晶 X-ray 繞射圖形，分別為在 SOI 上矽鍺薄膜($\text{Si}_{0.9}\text{Ge}_{0.1}$ ，圖九(a))與矽鍺薄膜($\text{Si}_{0.95}\text{Ge}_{0.05}$ ，圖九(b))。圖十為矽鍺薄膜 $\text{Si}_{0.85}\text{Ge}_{0.15}$ 在絕緣矽上之彎曲曲線。圖九所示在利用 smart cut 之絕緣矽晶圓上的矽鍺薄膜，其結晶品質均較在 SIMOX 晶圓上的矽鍺薄膜要佳(比較圖六)。而其厚度條紋的清晰可辨，更證明在利用 smart cut 之絕緣矽晶圓上的矽鍺薄膜其與矽基板的界面清楚。而由 Scherrer 公式判斷，在矽晶圓上的矽鍺薄膜，其結晶品質均較在 SIMOX 晶圓上的矽鍺薄膜要佳。而厚度條紋的清晰可辨，更證明在使用 smart cut 之絕緣矽晶圓上的矽鍺薄膜與其矽薄膜基板的界面清楚。此特性與橫截面穿透式電子顯微鏡微結構圖所觀察到的結果一致。在圖十為矽鍺薄膜 $\text{Si}_{0.85}\text{Ge}_{0.15}$ 在絕緣矽上之彎曲曲線中，其厚度條紋消失與矽鍺訊號的粗化， $\text{Si}_{0.85}\text{Ge}_{0.15}$ 薄膜的結晶性變差。其矽鍺的訊號峰的位置約在-1500 arc-second 左右。類似在使用 SIMOX 的晶片上之矽鍺，此矽鍺薄膜在後續的熱氧化與熱退火處理會造成，其連續的矽鍺薄膜會形成一個大的矽鍺島散佈在二氧化矽。在圖十一(a)與(b)，我們比較在 smart cut 之絕緣矽晶圓上的矽鍺薄膜與在矽基材上矽鍺薄膜，在相同狀態下，其矽鍺薄膜的雙晶繞射圖形。使用電腦模擬雙晶繞射圖形的方法，可以得出在矽鍺薄膜中鍺的成分與矽鍺薄膜厚度。從圖十一(a)模擬的結果中，得到在 smart cut 之絕緣矽晶圓上的矽鍺薄膜的鍺濃度為 13%，在矽基材上矽鍺薄膜其鍺的濃度約為 10%。從圖十一(b)模擬的結果中，得到在 smart cut 之絕緣矽晶圓上的矽鍺薄膜的鍺濃度為 7%，在矽基材上矽鍺薄膜其鍺的濃度約為 5%。以 50 奈米厚度之絕緣矽薄膜為基板之絕緣矽鍺薄膜其濃度在相同的成長條件下，均高於以矽為基

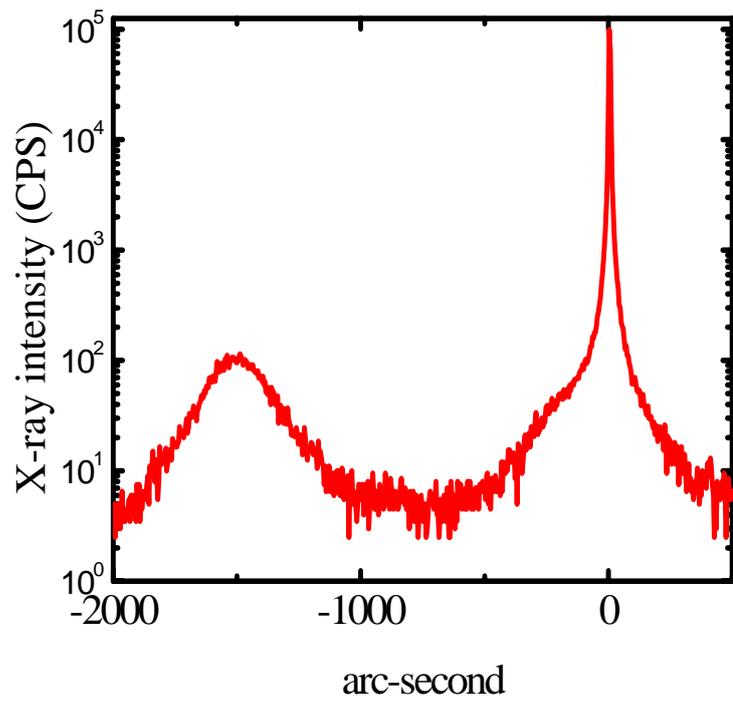


圖八 成長於絕緣矽晶圓上矽鍺薄膜之表面原子顯微鏡圖。(a)，(b)，與(c)分別為預定鍺濃度為 10，5，與 15%。

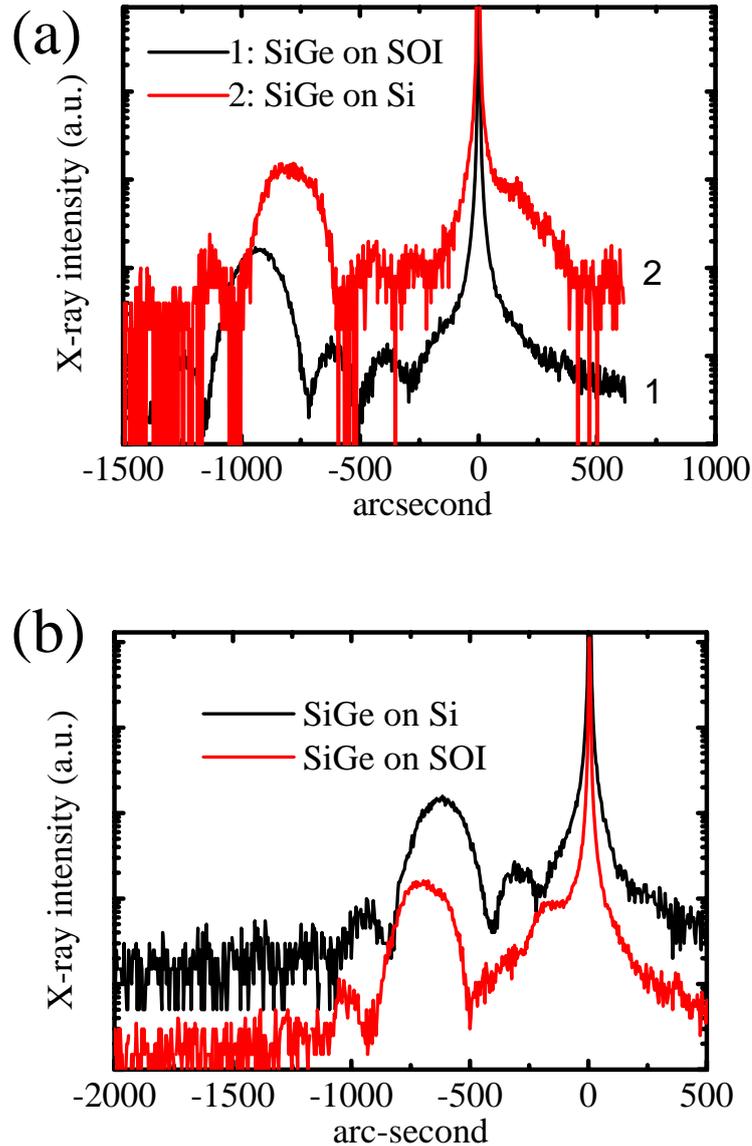
板之絕緣矽鍺薄膜。在使用超高真空化學氣相沉積法在 550 度 C 所成長的矽鍺薄膜，其濃度由 SiH_4 與 GeH_4 在基板表面的吸附率和 H 鍵脫附率來決定，而表面的應力狀態會決定此三個參數的變化[18]。在 50 奈米厚度之絕緣矽，其所受應力狀態，可能增加其表面上 H 鍵脫附率，因此鍺的濃度因此增加。因此，從本研究計畫的結果中，預在 50 奈米厚度之絕緣矽上，在 550 度 C 的成長環境中，形成一個平坦的連續矽鍺薄膜，其鍺濃度要小於 13%。其與矽鍺薄膜厚度的關係，則須進一步研究。



圖九 在 SOI 之矽鍺薄膜，(a) $\text{Si}_{0.9}\text{Ge}_{0.1}$ ，(b) $\text{Si}_{0.95}\text{Ge}_{0.05}$ 薄膜之雙晶繞射圖



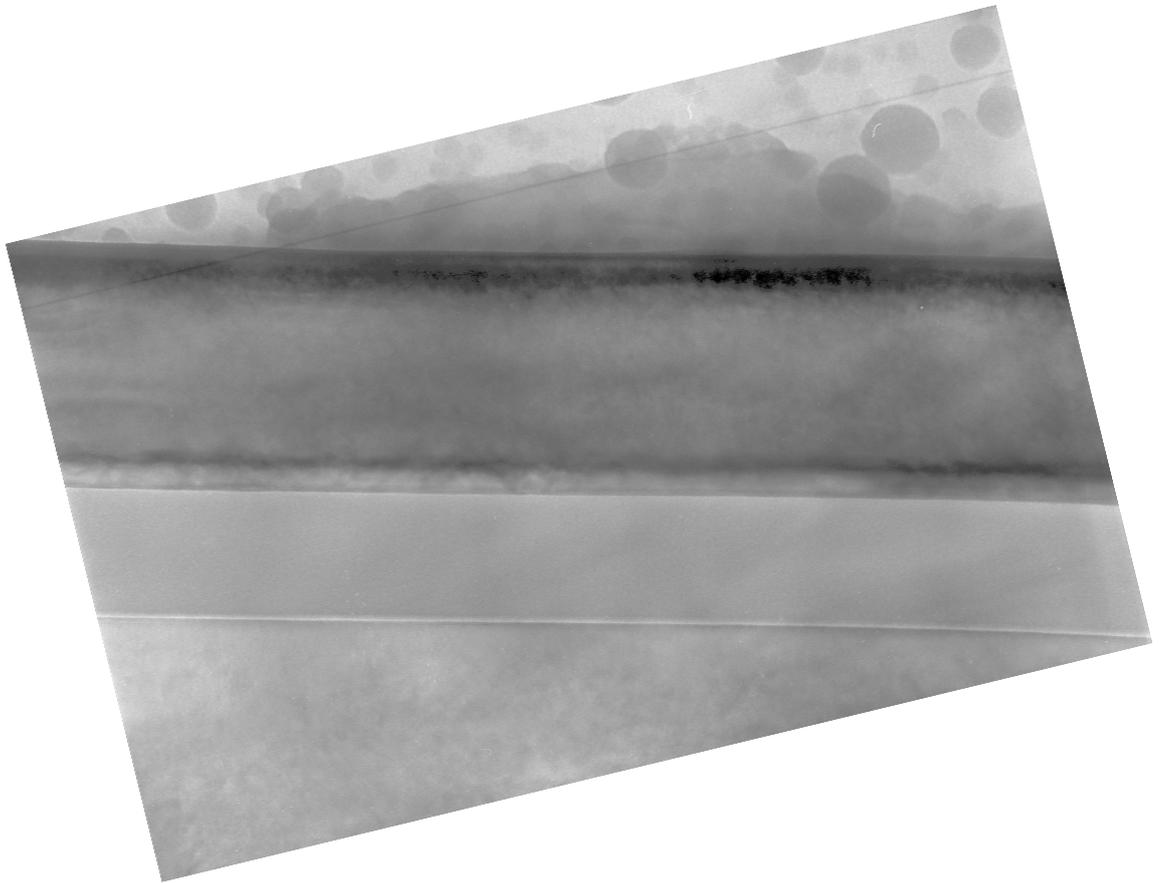
圖十.在 $\text{Si}_{0.85}\text{Ge}_{0.15}$ 在 SOI 之矽鍺薄膜之雙晶繞射圖



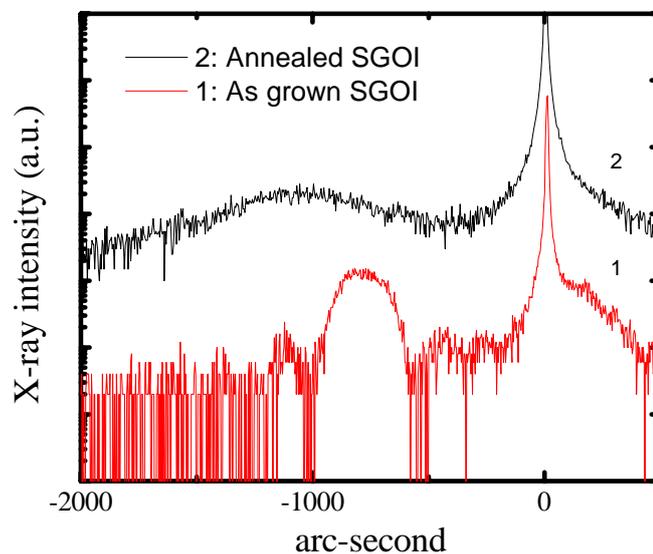
圖十一. (a) $\text{Si}_{0.95}\text{Ge}_{0.05}$ 與 (b) $\text{Si}_{0.95}\text{Ge}_{0.05}$ 在 SOI 基板與矽基板之矽鍺薄膜之雙晶繞射圖

4.3 以 50 奈米厚度之絕緣矽薄膜為基板之矽鍺薄膜進行熱氧化與退火處理

本研究計畫中，使用 4.2 節所成長的三個結構的絕緣矽薄膜為基板之矽鍺薄膜進行後續熱氧化與退火處理，研究重點在於熱氧化與熱退火時間，與熱退火溫度對鍺沉澱法的影響。在圖十二，為絕緣矽薄膜為基板之矽鍺薄膜($\text{Si}_{0.9}\text{Ge}_{0.1}$)在 1050 度 C 進行後續熱氧化 7 小時之橫截面穿透式電子顯微鏡微結構圖，觀察到其矽鍺薄膜與矽基板的界面變得模糊，在矽鍺薄膜的表面亦有鍺原子的析出。此結果證明，使用超高真空化學氣相沉積法所製備的絕緣矽薄膜為基板之矽鍺薄膜，其界面雖然有一層含碳與氧的薄界面污染物，但鍺原子依然可以進行。圖十三所示為 $\text{Si}_{0.9}\text{Ge}_{0.1}$ 在 SOI 基板之矽鍺薄膜與其接受在 1050 度 C 進行後續熱氧化 7 小時之雙晶繞射圖，其熱處理的雙晶繞射圖顯示矽鍺薄膜已經進行鬆馳與鍺沉澱法的進行。AES 法使用來觀察鍺原子，矽原子在不同的熱處理條件下在矽鍺薄膜中的濃度變化。在圖十四中，所示為 $\text{Si}_{0.95}\text{Ge}_{0.05}$ 在 SOI 基板之矽鍺薄膜在相同的氧化溫度與時間(1050 度 C 進行 7 小時)。退火熱處理(均質化)時間(a)2 小時與(b) 4 小時。在圖十四(c)中，熱氧化-均質化-熱氧化-均質化為 3-2-4-2，此條件與圖十四(b)做比較。對於 $\text{Si}_{0.95}\text{Ge}_{0.05}$ 在 SOI 基板之矽鍺薄膜而言，均質化熱處理條件對後續矽鍺薄膜的濃度改變影響不大。但圖十五中， $\text{Si}_{0.9}\text{Ge}_{0.1}$ 在 SOI 基板之矽鍺薄膜在相同的氧化溫度與時間(1050 度 C 進行 7 小時)。退火熱處理(均質化)時間(a)2 小時與(b) 4 小時。在圖十五(c)中，熱氧化-均質化-熱

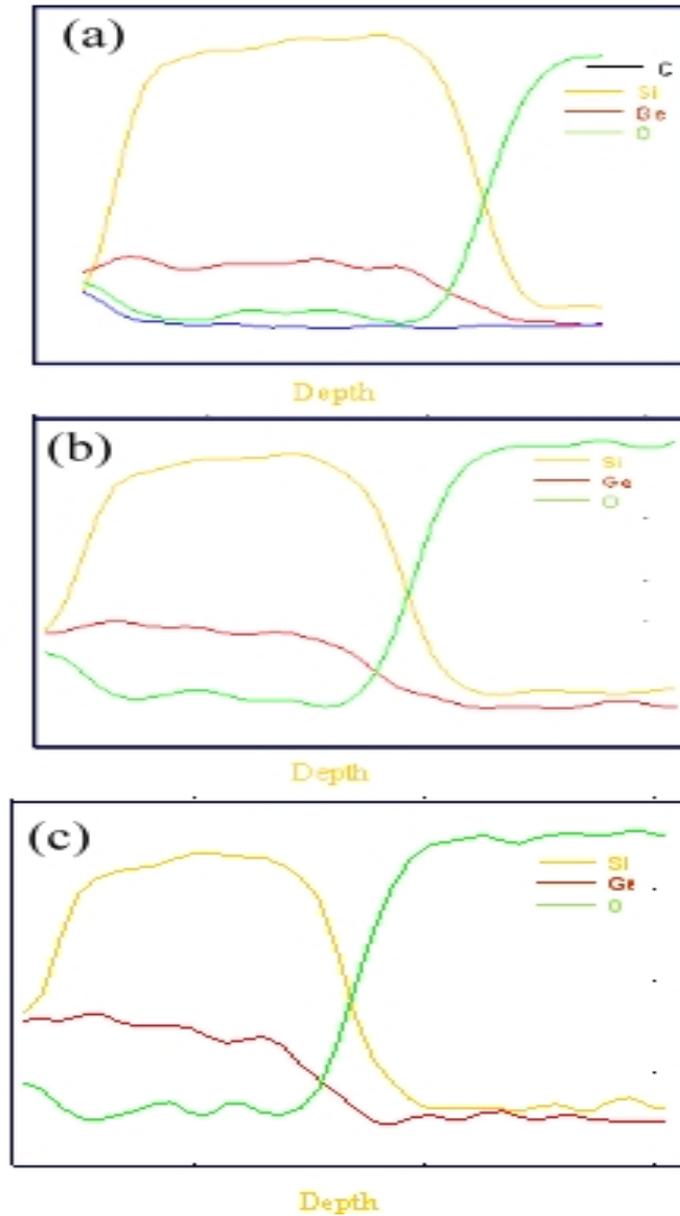


圖十二. 成長於絕緣矽晶圓上 $\text{Si}_{0.9}\text{Ge}_{0.1}$ 薄膜經在 1050 度 C 進行後續熱氧化 4 小時之橫截面穿透式電子顯微鏡微結構圖。



圖十三. (a) $\text{Si}_{0.95}\text{Ge}_{0.05}$ 在 SOI 基板之矽鍺薄膜與其接受在 1050 度 C 進行後續熱氧化 7 小時之雙晶繞射圖

氧化-均質化為 3-2-4-2，此條件與圖十五(b)做比較。均質化熱處理條件對後續矽鍺薄膜的濃度改變影響較大(比較圖十五(b)與(c)和圖十四(b)與(c))。在圖十五中，顯示高鍺濃度的矽鍺薄膜，氧化過程可以促進其鍺沉澱的產生，連續七個小時的氧化溫度以及 2 個小時的均質化，可使絕緣矽薄膜為基板之矽鍺薄膜鍺濃度高於 50% 以上(圖十五(a))，然而進一步 4 個小時的均質化，可使薄膜為基板之矽鍺薄膜鍺濃度高於 60% 以上(圖十五(b))。

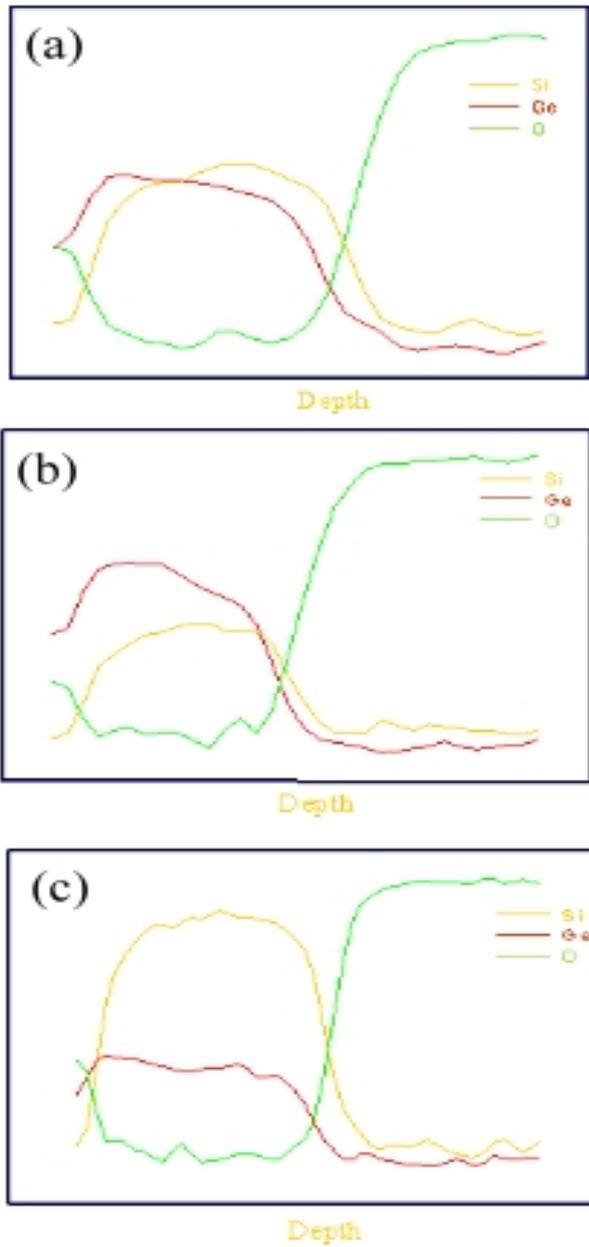


圖十四. $\text{Si}_{0.95}\text{Ge}_{0.05}$ 在 SOI 基板之矽鍺薄膜在相同的氧化溫度與時間(1050 度 C 進行 7 小時)。退火熱處理(均質化)時間(a)2 小時與(b) 4 小時，(c)為矽鍺薄膜接受熱氧化-均質化-熱氧化-均質化為 3-2-4-2 的程序。

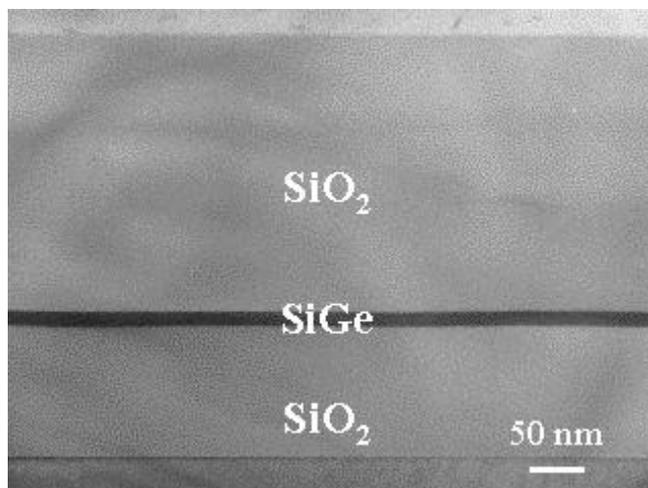
但在鍺薄膜接受熱氧化-均質化-熱氧化-均質化為 3-2-4-2 的程序下。其絕緣矽薄膜為基板之矽鍺薄膜鍺濃度約為 25%左右。因此連續的氧化處理，似乎有助於鍺沉澱的進行，以達到高鍺濃度的矽鍺薄膜。 $\text{Si}_{0.9}\text{Ge}_{0.1}$ 在 SOI 基板之矽鍺薄膜在相同的氧化溫度與時間(1050 度 C 進行 7 小時) 退火熱處理(均質化)時間 4 小時之橫截面穿透式電子顯微鏡微結構圖顯示在圖十六。在矽鍺經鍺沉澱後的製程，可以形成 25 奈米左右厚度的矽鍺薄膜。在其上形成 360 奈米左右的二氧化矽。利用 Raman 光譜儀研究上述製程之矽鍺薄膜之組成與矽鍺內殘餘應力得到其 Raman 光譜譜線(圖十七)，依照矽鍺光譜的分析公式[19]:

$$\varepsilon = - \left[\frac{(w_{\text{Si}} - 520) + 66.7x}{830} \right] \quad (1),$$

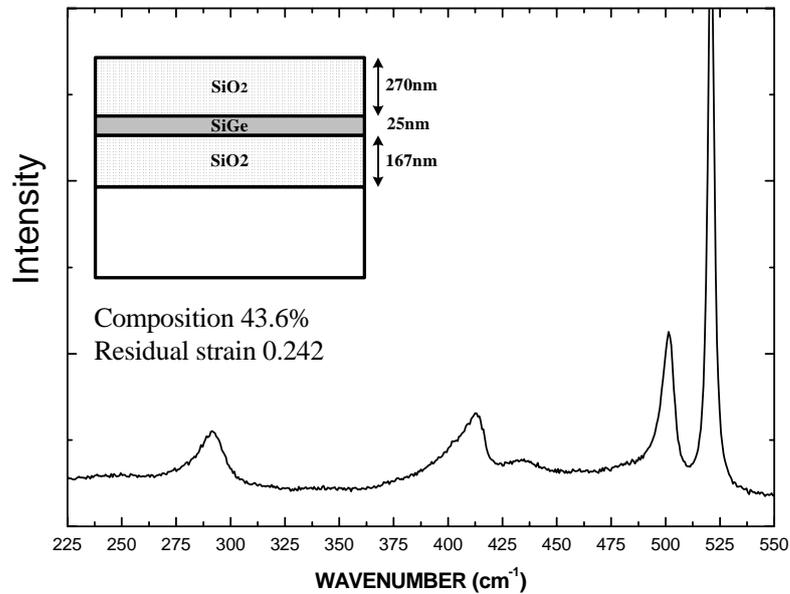
可以得到，此矽鍺薄膜的鍺濃度約為 43.6%，矽鍺內殘餘的應力約為 0.0242 左右。利用高濃度氫氟酸(100%)與低濃度氫氟酸(1%)兩階段來去除其表面的二氧化矽，並使用原子力顯微鏡來觀察其表面形貌，其表面有 cross-hatch 圖形的產生(圖十八)，但表面的粗糙度約為 0.5 奈米，此粗糙度低於使用傳統的成分漸變矽鍺緩衝層的鬆弛矽鍺薄膜。



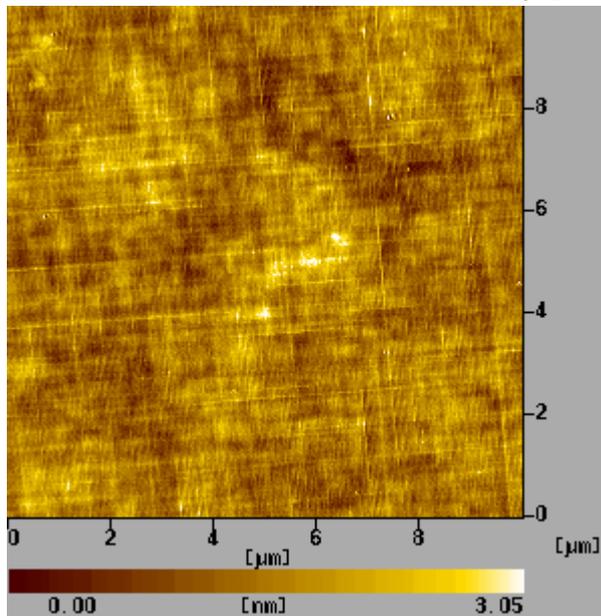
圖十四. $\text{Si}_{0.9}\text{Ge}_{0.1}$ 在 SOI 基板之矽鍺薄膜在相同的氧化溫度與時間(1050 度 C 進行 7 小時)退火熱處理(均質化)時間(a)2 小時與(b)4 小時，(c)為矽鍺薄膜接受熱氧化-均質化-熱氧化-均質化為 3-2-4-2 的程序。



圖十六. $\text{Si}_{0.9}\text{Ge}_{0.1}$ 在 SOI 基板之矽鍺薄膜在相同的氧化溫度與時間(1050 度 C 進行 7 小時)退火熱處理(均質化)時間 4 小時之橫截面穿透式電子顯微鏡微結構圖。

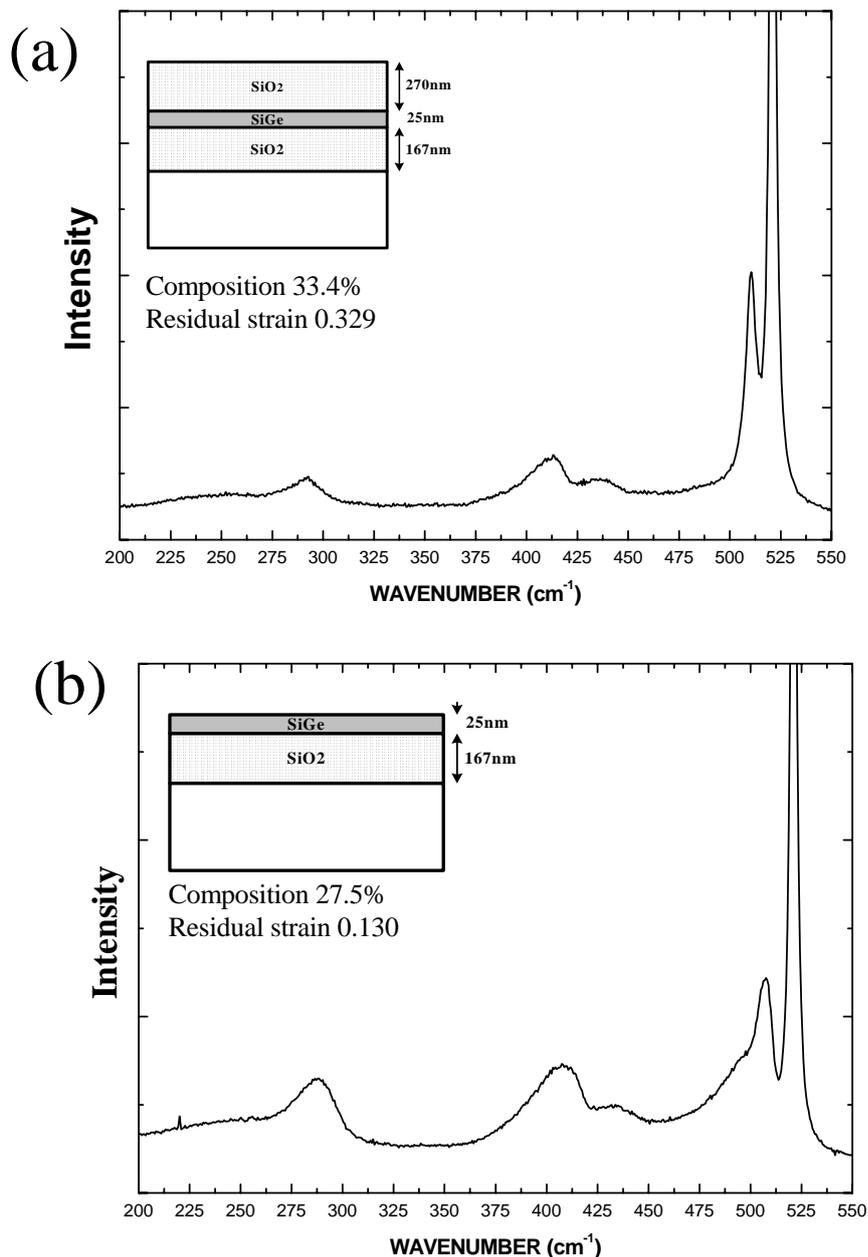


圖十七. $\text{Si}_{0.9}\text{Ge}_{0.1}$ 在 SOI 基板之矽鍺薄膜在相同的氧化溫度與時間(1050 度 C 進行 7 小時)退火熱處理(均質化)時間 4 小時之拉曼光譜。



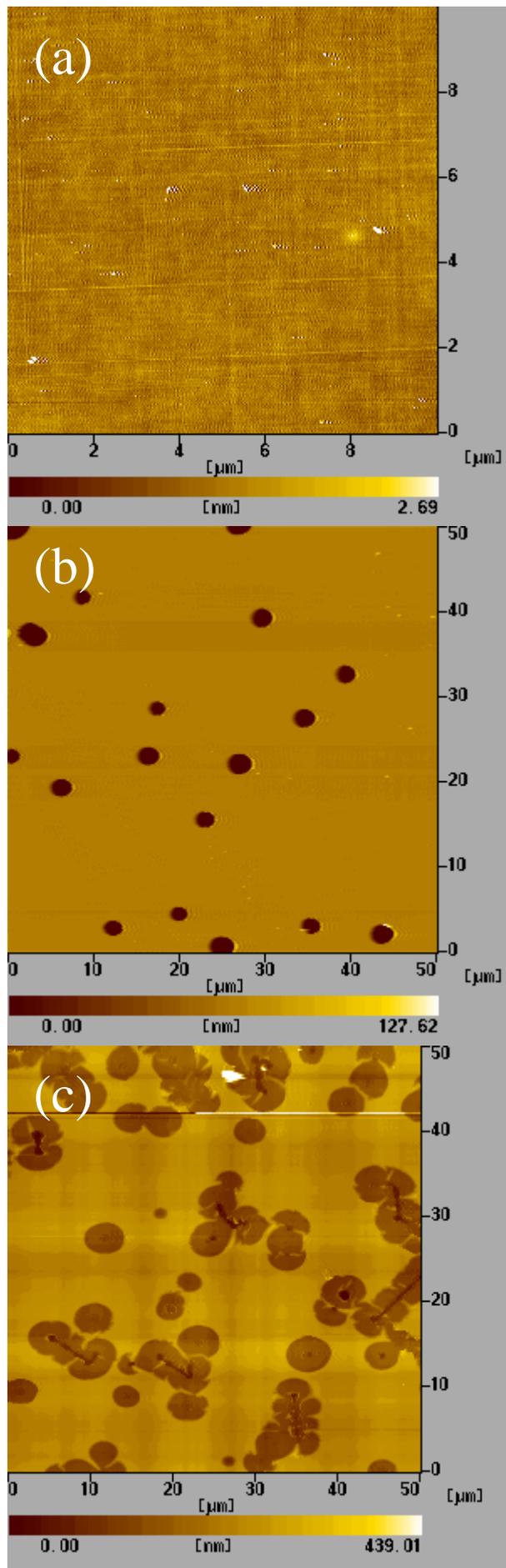
圖十八. $\text{Si}_{0.9}\text{Ge}_{0.1}$ 在 SOI 基板之矽鍺薄膜在相同的氧化溫度與時間(1050 度 C 進行 7 小時)退火熱處理(均質化)時間 4 小時之原子力顯微鏡形貌。

$\text{Si}_{0.95}\text{Ge}_{0.05}$ 在 SOI 基板之矽鍺薄膜在相同的氧化溫度與時間(1050 度 C 進行 7 小時)退火熱處理(均質化)時間 4 小時，在矽鍺經鍺沉澱後的製程，亦可以形成 25 奈米左右厚度的矽鍺薄膜。在其上形成 360 奈米左右的二氧化矽。利用 Raman 光譜儀研究上述製程之矽鍺薄膜之組成與矽鍺內殘餘應力得到其 Raman 光譜譜線(圖十九)，可以得到此矽鍺薄膜的鍺濃度約為 33.4%，矽鍺內殘餘的應力約為 0.0329 左右(圖十九(a))。鍺薄膜接受熱氧化-均質化-熱氧化-均質化為 3-2-4-2(圖十九(b))的程序下，可以得到此矽鍺薄膜的鍺濃度約為 27.5%，矽鍺內殘餘的應力約為 0.0130 左右。其結果與 AES 的結果一致。利用高濃度氫氟酸(100%)與低濃度氫氟酸(1%)兩階段來去除其表面的二氧化矽，並使用原子力顯微鏡來觀察其表面形貌，其表面有 cross-hatch 圖形的產生(圖二十(a))，但表面的粗糙度約為 0.4 奈米。而在圖二十(b)，有一些蝕刻洞的產生，其產生缺陷密度約為 $6 \times 10^7 \text{ cm}^{-2}$ ；這個現象，

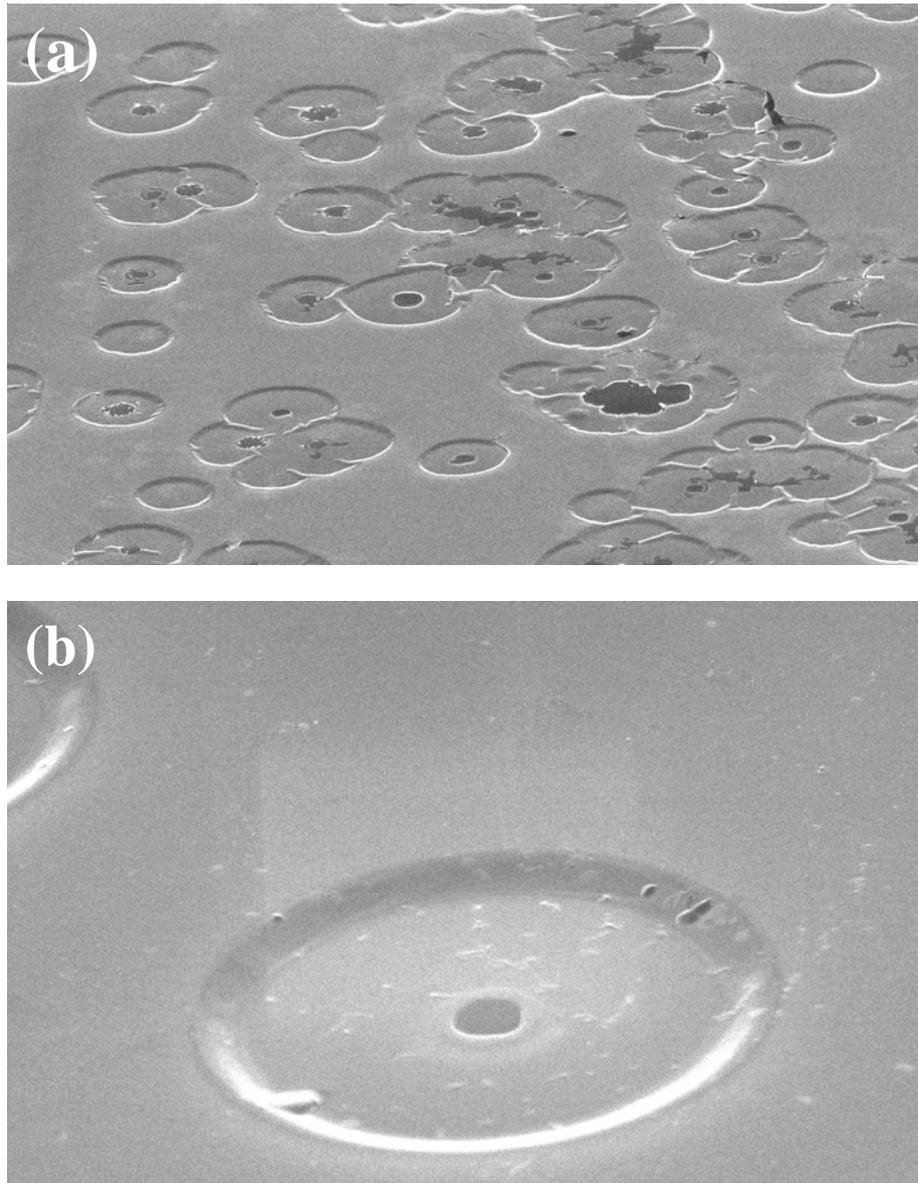


圖十九. $\text{Si}_{0.9}\text{Ge}_{0.1}$ 在 SOI 基板之矽鍺薄膜在相同的氧化溫度與時間(1050 度 C 進行 7 小時)退火熱處理(均質化)時間(a) 4 小時與 (b) 3 小時-2 小時-4 小時-2 小時之拉曼光譜。

同時發生在 $\text{Si}_{0.95}\text{Ge}_{0.05}$ 在 SOI 基板之矽鍺薄膜上(見圖二十(c))。可以看見，此破裂區域是常見於此二試片當中。而此洞的深度約為 150 奈米左右，圖二十一為 $\text{Si}_{0.9}\text{Ge}_{0.1}$ 在 SOI 基板之矽鍺薄膜在相同的氧化溫度與時間(1050 度 C 進行 7 小時)退火熱處理(均質化)時間 4 小時之(a)表面掃描式電子顯微鏡微形貌圖與(b)表面掃描式電子顯微鏡微形貌圖放大圖。此缺陷洞有可能的生成原因為在鬆弛矽鍺薄膜產生了缺陷，這些缺陷可能為疊差(stacked fault)或雙晶(twin)[20]，在高濃度氫氟酸(100%)與低濃度氫氟酸(1%)兩階段來去除其表面的二氧化矽時，可能蝕刻過此鬆弛矽鍺薄膜。當氫氟酸通過此鬆弛矽鍺薄膜同時蝕刻下方的掩埋氧化層，因此形成這些蝕刻洞與缺陷。因此，如何降低鬆弛矽鍺薄膜在這沉澱時所產生的缺陷與適當去除表面厚氧化層的方法，為此製程製作適當鬆弛矽鍺薄膜的



圖二十. $\text{Si}_{0.95}\text{Ge}_{0.05}$ 在 SOI 基板之矽鍺薄膜在相同的氧化溫度與時間(1050 度 C 進行 7 小時)退火熱處理(均質化)時間 4 小時之(a)原子力顯微鏡形貌與(b)破裂之表面形貌區域，(c)圖十八試片破裂之表面形貌區域。

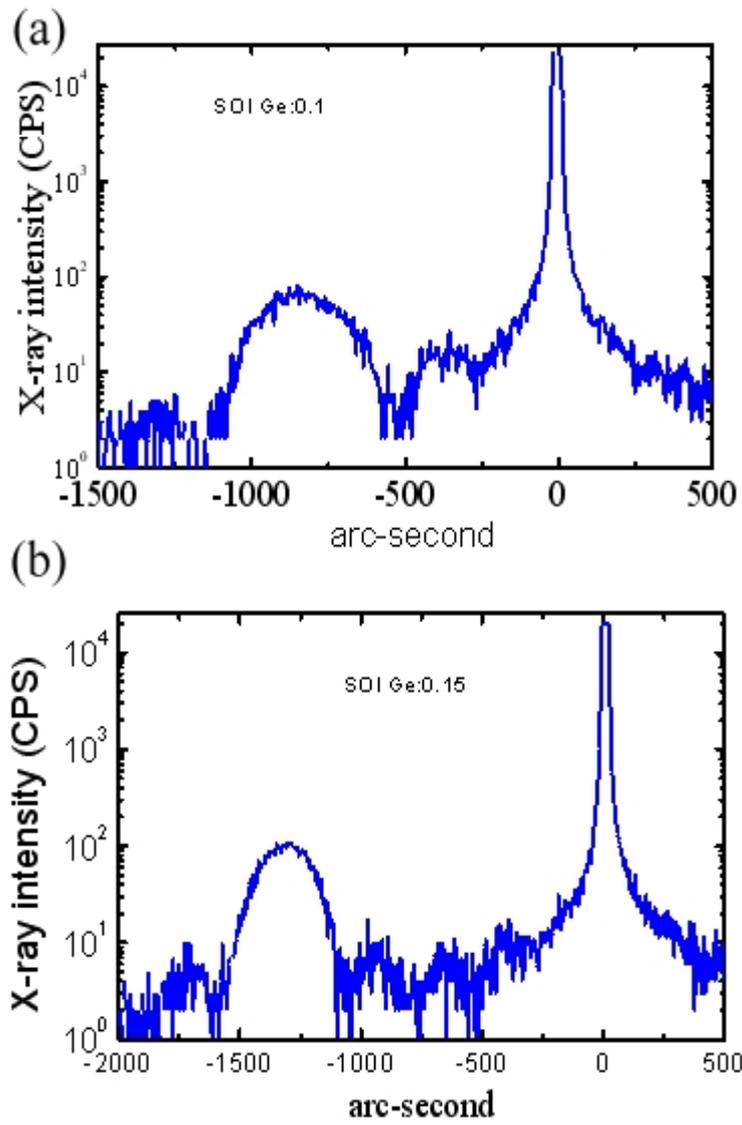


圖二十一. $\text{Si}_{0.9}\text{Ge}_{0.1}$ 在 SOI 基板之矽鍺薄膜在相同的氧化溫度與時間(1050 度 C 進行 7 小時)退火熱處理(均質化)時間 4 小時之(a)表面掃描式電子顯微鏡微形貌圖與(b) 表面掃描式電子顯微鏡微形貌圖放大圖。

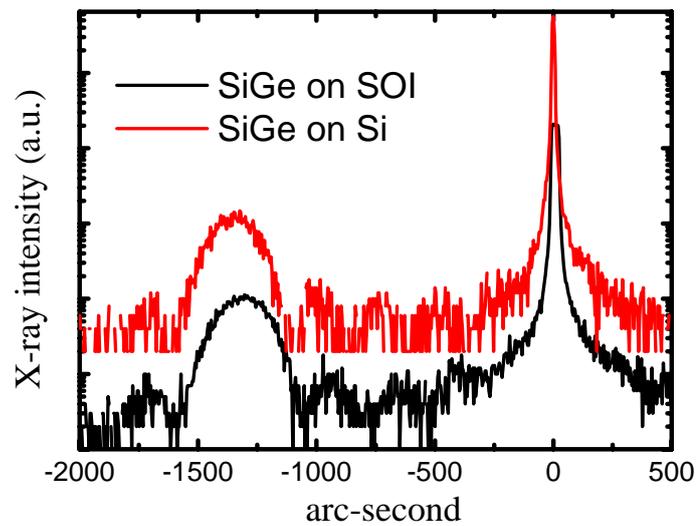
方法。而在 $\text{Si}_{0.9}\text{Ge}_{0.1}$ 在 SOI 基板之矽鍺薄膜，其產生如此蝕刻洞的密度亦大於 $\text{Si}_{0.95}\text{Ge}_{0.05}$ 在 SOI 基板之矽鍺薄膜。

4.4 以 20 奈米厚度之絕緣矽薄膜為基板之矽鍺薄膜

在本計畫中，另外使用利用 Smart cut 技術所製備的 SOI 晶圓。其掩埋氧化層(buried oxide)厚度為 145 奈米，絕緣矽其上矽薄膜厚度為 20 奈米，主要研究絕緣矽其上矽薄膜厚度在矽鍺薄膜成長的效應。因為鍺濃度可能造成其表面粗糙度的生成，因此，降低絕緣矽其上矽薄膜厚度，以研究鍺濃度與其上所欲成長的矽鍺薄膜之結晶性與表面形貌之影響。預計成長的矽鍺薄膜之鍺濃度為 10，15 與 20%。在圖二十二，比較兩個結構的試片的雙晶 X-ray 繞射圖形。分別為在 SOI 上矽鍺薄膜($\text{Si}_{0.9}\text{Ge}_{0.1}$ ，圖二十二(a))與矽鍺薄膜($\text{Si}_{0.95}\text{Ge}_{0.05}$ ，圖二十二(b))。圖二十二(a)所示在利用 20 奈米厚度之 smart cut 之絕緣矽晶圓上的矽鍺薄膜，其鍺濃度約為 10%，其結晶品質相當不錯。同時其厚度條紋的清晰可辨，更證明在利用 smart cut 之絕緣矽晶圓上的矽鍺薄膜其與矽基板的界面清楚。比較特別的是，在圖二十二 (b) 其鍺濃度約為 15%，相較於利用 50 奈米厚度之 smart cut 之絕緣矽

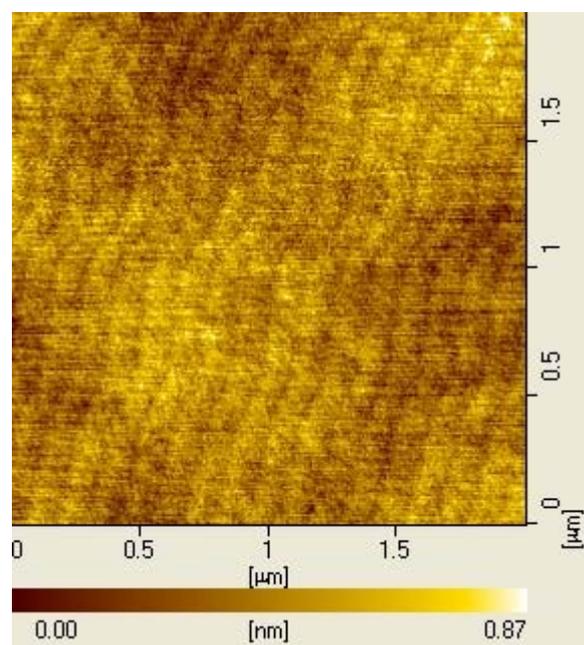


圖二十二. (a) $\text{Si}_{0.95}\text{Ge}_{0.05}$ 與 (b) $\text{Si}_{0.95}\text{Ge}_{0.05}$ 在 20 奈米絕緣矽薄膜之 SOI 基板之矽鍺薄膜之雙晶繞射圖



圖二十三. (a) $\text{Si}_{0.85}\text{Ge}_{0.15}$ 在 SOI 基板與矽基板之矽鍺薄膜之雙晶繞射圖

晶圓上的矽鍺薄膜，其結晶品質相當不錯其厚度條紋的清晰可辨(比較圖十)。圖二十三為 $\text{Si}_{0.85}\text{Ge}_{0.15}$ 在 20 奈米厚度之 SOI 基板與矽基板之矽鍺薄膜之雙晶繞射圖。其矽鍺薄膜中鍺的成分與矽鍺薄膜厚度似乎於基板的種類無關，此結果與使用 50 奈米厚度之 smart cut 之絕緣矽不同。 $\text{Si}_{0.85}\text{Ge}_{0.15}$ 在 SOI 基板之原子力顯微鏡圖，其表面粗糙度均低於 0.3 奈米(如圖二十四所示)。



圖二十四 成長於 20 奈米之絕緣矽晶圓上矽鍺薄膜($\text{Si}_{0.85}\text{Ge}_{0.15}$)之表面原子顯微鏡圖。

V. 結論

在本研究計畫中，使用鍺沉澱法來製作高濃度與高鬆弛度的絕緣矽上矽鍺薄膜。主要研究絕緣矽上矽薄膜對後續矽鍺薄膜的影響。使用的基板有 SIMOX，50 奈米厚度之 smart cut 之絕緣矽晶圓以及 20 奈米厚度之 smart cut 之絕緣矽晶圓。使用超高真空化學氣相沉積法來沉積矽鍺薄膜。矽基板表面品質影響後續矽鍺磊晶薄膜品質。而絕緣矽晶圓上之矽薄膜厚度與應力狀態則影響後續矽鍺磊晶薄膜鍺原子濃度，表面形貌與薄膜厚度。使用 20 奈米厚度之 smart cut 之絕緣矽晶圓為基材，可以成功的成長高濃度(15%)的高品質與低粗糙度應變矽鍺薄膜。同時，我們應用高溫氧化(1050 度 C，7 小時)與後續均質化熱處理方式(4 小時)，完成鍺濃度約為 43.6%，矽鍺薄膜內殘餘的應力約為 0.0242 的薄鬆弛矽鍺薄膜。連續的氧化處理，有助於高鍺之絕緣矽上矽鍺薄膜鍺沉澱的進行，以達到高鍺濃度的矽鍺薄膜。然而鍺沉澱法進行過程中所產生的缺陷，會造成應用鬆弛矽鍺薄膜的元件的良率下降，是目前亟待克服的難題。

VI. 參考資料

- [1]. S. E. Thompson, M. Armstrong, C. Auth, S. Cea, R. Chau, G. Glass, T. Hoffman, J. Klaus, Z. Ma, B. McIntyre, Amurthy, B. Obradovic, L. Shifren, S. Sivakumar, S. Tyagi, T. Ghani, K. Mistry, M. Bogr, and Y El-Mansy, *IEEE Electronic Device Letter* **25** (2004) 191.
- [2]. Daewon Ha, H. Takeuchi, Y.-K. Choi, T.-J. King, W. P. Bai, D. -L. Kwong, A. Agarwal, and A. Ameen, in *IEDM Tech. Digest, San Francisco D. C.*(2004), pp. 643.
- [3]. San Lein, Wu, *Semiconductor science and technology*, **20** (2005) 559.
- [4]. J. Min, P. K. Chu, Y. C. Cheng, J. B. Liu, S. S. K. Iyer, and N. W. Cheung, *Surface and Coating Technology*, **85** (1996) 60.
- [5]. M. Briel, *Nucl. Instr. and Methods* **B108** (1996) 313..
- [6]. P. S. Chen, S. W. Lee, and K. F. Liao, "Formation of high quality relaxed SiGe films with an intermediate Si:C layer", *Mater. Sci. Eng.* **B130** (2006) 194.
- [7]. M. H. Lee, P. S. Chen, W.-C. Hua, C.-Y. Yu, Y. T. Tseng, S. Maikap, Y. M. Hsu, C. W. Liu, S.

- C. Lu, W.-Y. Hsieh, and M.-J. Tsai, in IEDM Tech. Digest, Washington D. C., pp. 69-72, 2003.
- [8]. P. M. Mooney, *Mater. Sci. Eng.*, R17 (1996) 105.
- [9]. P. S. Chen, S. W. Lee, M. H. Lee, and C. W. Liu, *Semiconductor science and technology*, **21** (2006) 479.
- [10]. T. H. Loh, H. S. Nguyen, C. H. Tung, A. D. Trigg., G. Q. Lo, N. Balasubramanian, D. L. Kwong, and S. Tripathy, *Appl. Phys. Letts.*, 90, (2007) 092108.
- [11]. K. F. Liao, P. S. Chen, S. W. Lee, L. J. Chen, C. W. Liu, *Nucl. Instr. and Methods* **B237** (2005) 217.
- [12]. T. Hochbauer, M. Nastasi, and J.W. Mayer, *Appl. Phys. Lett.* **75** (1997) 1065.
- [13]. A. R. Powell, S. S. Iyer and F. K. LeGoues, *Appl. Phys. Lett.* **64** (1994) 1856.
- [14]. Gianni Taraschi, Arthur J. Pitera, and Eugene A. Fitzgerald, *Solid State Electronics* 48(2005) 1297.
- [15]. L. J. Huang, J. O. Chu, D. F. Canaperi, C. P. D’Emic, R. M. Anderson, and S. J. Koester, *Appl. Phys. Lett.* **78** (2001),1267.
- [16]. K. D. Hobart, F. J. Kub, M. E. Twigg, G. G. Jernigan, P. E. Thompson, in *1998 IEEE International SOI Conference Proceedings*, (1998) p. 145–6.
- [17]. T. Tezuka, N. Sugiyama, and S. Takagi, *Appl. Phys. Lett.* **79**, (2001) 1798_.
- [18]. P. S. Chen, Z. Pei, Y. H. Peng, S. W. Lee, and M.-J. Tsai “Boron mediation on the growth of Ge quantum dots on Si (100) by ultra high vacuum chemical vapor deposition”, *Mater. Sci. Eng. B108* (2004) 213–218.
- [19]. T. S. Perova, R. A. Moore, K. Lyutovich, M. Oehme, and E. Kasper, *Thin Solid Films*, in press.
- [20]. B. Vincent, J.-F. Damlencourt, V. Delaye, R. Gassilloud, L. Clavelier, and Y. Morand, *Appl. Phys. Lett.* **90** (2007) 074101.

成
果
自
評

計畫預期目標：

1. 成長絕緣層上應變矽鍺。
2. 成長絕緣層上應變矽鍺材料分析。
3. 熱氧化與均質化退火處理絕緣層上應變矽鍺。
4. 絕緣層上鬆弛矽鍺材料分析。
5. 驗證不同基板對後續絕緣層上應變矽鍺影響。

計畫執行結果：

1. 成長應變 $\text{Si}_{0.9}\text{Ge}_{0.1}$ 薄膜，應變 $\text{Si}_{0.95}\text{Ge}_{0.05}$ 薄膜與應變 $\text{Si}_{0.85}\text{Ge}_{0.15}$ 薄膜。
2. 完成穿透式電子顯微鏡分析，原子力顯微鏡分析，雙晶 X-ray 繞射分析。
3. 進行 1000 度 C，不同時間的熱氧化與熱處理。
4. 完成穿透式電子顯微鏡分析，歐傑電子光譜儀分析，原子力顯微鏡分析，雙晶 X-ray 繞射分析，FESEM 表面形貌分析，Raman 光譜分析。
5. SIMOX 晶圓不適合後續磊晶之用，絕緣層上高濃度應變矽鍺需用薄絕緣層上矽晶圓。

預期目標達成率：100 %

(若不敷使用請另加附頁繕寫)

其它具體成效：

1. 完成絕緣層上鬆弛鍺薄膜的鍺濃度約為 33.4%，矽鍺內殘餘的應力約為 0.0329。
2. 完成鍺濃度約為 43.6%，17 奈米厚與殘餘的應力約為 0.0242 的薄鬆弛矽鍺薄膜。
3. 研究成長高濃度絕緣矽鍺的方向。
4. 絕緣層上鬆弛矽鍺之缺陷對矽鍺薄膜之可能影響。
5. 連續的氧化處理，有助於高鍺之絕緣矽上鬆弛矽鍺薄膜鍺沉澱的進行。