

明新科技大學 校內專題研究計畫成果報告

低溫多晶矽薄膜電晶體光罩縮減製程開發與元件可靠度之
研究

Reduced Mask Process Developing of Low-Temperature
Polycrystalline Silicon Thin-Film Transistors and Device
Reliability Studies

計畫類別：任務型計畫 整合型計畫 個人計畫

計畫編號：MUST-97 光電-05

執行期間：97 年 1 月 1 日至 97 年 9 月 30 日

計畫主持人：李憶興

共同主持人：無

計畫參與人員：

B93130067 張元碩

B93130075 楊政仁

B94130037 張仁義

B94130056 邱冠榮

B94130105 王裕賢

C97030009 戴佐明

處理方式：公開於校網頁

執行單位：光電系統工程系

中 華 民 國

97 年

10 月

30 日

中文摘要

低溫多晶矽薄膜電晶體為次世代主動式矩陣液晶顯示器與驅動主動式矩陣有機光二極體的主要技術，在現今講求低成本、高品質、產品研發週期短的基本架構下，本計畫提出了低溫多晶矽薄膜電晶體製程由九道光罩轉八道光罩之光罩縮減製程開發所需之元件與電路規格，以及元件可靠度量測及劣化機制之研究。光罩縮減開發之主要省略通道摻雜之光罩製程，並直接調整藉由不同通道摻雜 B_2H_6 之劑量，找出可以符合原來九道光罩製程所需之元件特性及驅動電路之消費電流規格，以達到減少光罩相關製程時間與材料成本，如此也可以增加整個產能的需求。在元件電性方面，八道光罩縮減製程造成 N-通道與 P-通道臨界電壓偏移，使得 $(V_{th,n}-V_{th,p})$ 範圍比九道光罩範圍為小，藉由調整通道摻雜 B_2H_6 之劑量調整可以使 $(V_{th,n}-V_{th,p})$ 範圍仍在合格的範圍，另外必須確認驅動電路之消費電流是否仍在規格範圍內。

在元件可靠度及劣化之研究方面，目前 TFT-LCD 液晶顯示器幾乎皆為成熟的非晶矽薄膜電晶體技術，但是非晶矽薄膜電晶體主要是由 N-通道所構成，而 N-通道薄膜電晶體元件的可靠度與劣化特性，在成熟的非晶矽薄膜電晶體技術已經有深入的探討與廣泛的研究成果。而低溫多晶矽薄膜電晶體的驅動電路由主要由 CMOS 元件包括 N-通道與 P-通道所構成，為了有良好的元件及電路特性，必須確認 N-通道與 P-通道的可靠度量測及劣化機制之研究。藉由 N-/P-通道低溫多晶矽薄膜電晶體之元件負偏壓溫度不穩定度(NBTI)及 PMOS 光可靠度(Photo reliability)測試，可以確認低溫多晶矽薄膜電晶體應用在 CMOS 的電路是否穩定。

由八道光罩縮減製程比較九道光罩製程其 NBTI 之比較，在溫度變化對 8-mask 與 9-mask 製程的 NMOS 元件電性 mobility、 I_{on} 、 I_{off} degradation 對溫度之劣化程度 8-mask 較 9-mask 製程為低。而由 P-type TFT 的 NBTI model 參數萃取後得知 n: 0.11~0.16，亦即 8-mask 與 9-mask 製程之 V_{th} shift 隨著 stress 時間增加的指數關係相近。若與文獻之 PMOS LTPS-TFT NBTI model 所得到的 n 值約在 0.28~0.34，可知不論統寶 8-mask 與 9-mask 製程之 PMOS LTPS-TFT 其 NBTI stress 後之 V_{th} shift 程度都較文獻為小。而 8-mask 製程 PMOS 元件 V_{th} shift 值對 V_g 電壓變化的關係大於 9-mask 製程。且沒有通道摻雜製程(9-mask)PMOS 元件之活化能較有通道摻雜製程(8-mask)為高，因此 8-mask 製程 PMOS 之 mobility 與 S.S. degradation ($V_g = -25$ V 除外)均較 9-mask 製程為大，這可能與 8-mask 製程之 PMOS 元件有進行通道摻雜 B_2H_6 造成較低的 activation energy 有關。

PMOS 的光漏電流 (Photo Leak Current)是隨著照光的強度，而不是與波長改變，如此可以推得，比較 9-mask 光罩製程，8-mask 光罩製程方式其主要是省略 Channel Doping Mask，並直接將 B_2H_6 劑量摻雜到 PMOS 的通道中，使得基板在背光源的照射下，更多載子電流的移動，連帶的造成 V_{th} shift 的變化更大、Field-Effect Mobility、 $I_{on}(-10V)$ 以及 $I_{off}(-10V)$ 變化較 9-mask 光罩製程 PMOS 來得大。

英文摘要

Low-temperature poly-Si (LTPS) thin film transistors (TFTs) have attracted much attention for AMLCD and AMOLED. Application due to their high mobility and capability of realizing integrated circuits on glass.

Introducing LTPS-TFT technology into TFT-LCD products can reduce materials cost, simple design, product reliability, and development cycle time. In this project, we proposed to investigate the device characteristics, e.g. V_{th} shift, sub-threshold swing degradation, TFT on current degradation and reliability test of CMOS reduced mask devices by adjusting the channel doping dosage.

N-TFT devices characteristics had been extensively studied by a-Si TFT process, but P-TFT devices reliability studies are still not very clear. LTPS-TFT driving circuits were composed CMOS devices, composed of N-/P-Channel TFT comparing with a-Si TFT process. The reliability issues of P-type LTPS-TFTs are special importance in practical application. In this study, temperature reliability had been investigated for N-/P-channel LTPS-TFT devices of 8-mask and 9-mask LTPS processes. NMOS devices of 8-mask showed lower mobility, sub-threshold swing, I_{on} , and I_{off} degradation than 9-mask devices. Effects of negative bias temperature instability (NTBI) had been conducted into PMOS devices. PMOS device of 8-mask process was shown worse mobility and sub-threshold swing degradation than the same device of 9-mask due to larger threshold voltage shift with applied gate voltage and lower activation energy than the device of 9-mask process.

I_{off} values were increased with increasing of backlight integral intensity of yellow-green color LEDs. Nevertheless, I_{off} variations with different wavelengths of LEDs included yellow-green, blue and white-color at same backlight intensity are not very obvious. Threshold voltage, V_{th} was shifted to positive values by increasing backlight intensity of yellow-green color LEDs. Same I_{off} and V_{th} shift variations of the PMOS device with $W/L=50/5$ with backlight integral intensity were revealed.

Keywords :

Low-temperature Poly-silicon Thin Film Transistor, 低溫多晶矽薄膜電晶體

Channel Doping, 通道摻雜

Reduce mask, 光罩縮減

Device Reliability Test, 元件可靠度測試

Negative bias temperature instability (NTBI), 負偏壓溫度不穩定度

Photo reliability, 照光穩定度

目錄	
中文摘要.....	I
英文摘要.....	II
目錄.....	III
圖目錄.....	V
表目錄.....	VII
1. 前言.....	1
2. 研究目的.....	2
3. 研究方法.....	2
3.1 量測機台介紹.....	2
3.2 量測條件及項目.....	3
3.2.1 LTPS低溫多晶矽通道摻雜縮減製程之元件可靠度與劣化之研究.....	3
3.2.2 低溫多晶矽薄膜電晶體(LTPS TFTs)電性分析- PMOS光可靠度分析.....	4
4. 實驗結果與討論.....	5
4.1 CMOS 8 mask Channel Doping 製程調整與電性規格.....	5
4.1.1 CMOS 8 mask Channel Doping 劑量.....	5
4.1.2 Vth Gauss Distribution.....	6
4.1.3 Average Data Comparison.....	7
4.1.4 ART-IVDD Comparison.....	8
4.1.5 ART-VDD OUT Comparison.....	9
4.1.6 ART-VEE OUT Comparison.....	10
4.2 八道光罩製程對九道光罩N-type LTPS-TFT V.S.不同溫度變化之電性分析.....	11
4.2.1 Id-Vg curve.....	11
4.2.2 Threshold Voltage.....	12
4.2.3 Sub-threshold Swing.....	13
4.2.4 Mobility.....	14
4.2.5 Ion(10V).....	15
4.2.6 Ioff(10V).....	16
4.3 八道光罩對九道光罩製程P-type LTPS-TFT V.S.不同溫度變化之電性分析.....	18
4.3.1 Id-Vg curve.....	18
4.3.2 Threshold Voltage.....	19
4.3.3 Sub-threshold Swing.....	20
4.3.4 Mobility.....	21
4.3.5 Ion(10V).....	22
4.3.6 Ioff(-10V).....	23
4.4 八道光罩對九道光罩製程P-type LTPS-TFT 之NBTI電性劣化分析.....	25
4.4.1 Id-Vd curve before and after NBTI Stress.....	25
4.4.2 Id-Vg Transfer Characteristics before and after NBTI Stress.....	26
4.4.3 Vth shift V.S. Stress Time.....	27
4.4.4 Vth shift V.S. Stress Voltage.....	28
4.4.5 Vth shift V.S. 溫度倒數變化 1/kT.....	29
4.4.6 NBTI MODEL 參數萃取與劣化分析.....	30
4.5 低溫多晶矽薄膜電晶體(LTPS TFTs)電性分析 — PMOS光可靠度分析.....	33
5. 結論.....	44
6. 參考文獻.....	45

7. 附錄.....	46
8. 計畫執行成果自評表.....	50

圖目錄

圖 1.1	CMOS 9 mask 與 8 mask之TFT製程之比較示意圖	1
圖 1.2	面板驅動電路及畫素驅動方式.....	2
圖 3.1	NBTI 元件測試之示意圖	3
圖 3.2	PMOS光可靠度實驗模型.....	4
圖 4.1	TEG / Vth (AR1831500) 比較圖.....	5
圖 4.2	Vth 3S(AR18315) 比較圖	5
圖 4.3	TEG/u (AR1831500).....	5
圖 4.4	CH Doping=Non Vth的高斯分佈圖	6
圖 4.5	CH=1.2E12 Vth的高斯分佈圖	6
圖 4.6	CH=2E12 Vth的高斯分佈圖	6
圖 4.7	不同摻雜時的IVDD.....	7
圖 4.8	為不同摻雜濃度的IVDD.....	8
圖 4.9	不同摻雜濃度的VDDOUT.....	9
圖 4.10	不同摻雜濃度的VEEOUT.....	10
圖 4.11	8-mask NMOS的Ids-Vgs 曲線.....	11
圖 4.12	9-mask NMOS的Ids-Vgs 曲線.....	11
圖 4.13	8-mask NMOS 不同溫度下的Vt.....	12
圖 4.14	9-mask NMOS不同溫度下的Vt.....	12
圖 4.15	8-mask NMOS不同溫度下的S.S.....	13
圖 4.16	9-mask NMOS不同溫度下的S.S.....	13
圖 4.17	8-mask NMOS不同溫度下的Mobility	14
圖 4.18	9-mask NMOS不同溫度下的Mobility	14
圖 4.19	8-mask NMOS不同溫度下的Ion(10V)	15
圖 4.20	9-mask NMOS不同溫度下的Ion(10V)	15
圖 4.21	8-mask NMOS不同溫度下的Ioff(10V).....	16
圖 4.22	9-mask NMOS不同溫度下的Ioff(10V).....	16
圖 4.23	8-mask PMOS的Ids-Vgs 曲線	18
圖 4.24	9-mask PMOS的Ids-Vgs 曲線	18
圖 4.25	8-mask PMOS不同溫度下的Vth.....	19
圖 4.26	9-mask PMOS不同溫度下的Vth.....	19
圖 4.27	8-mask PMOS不同溫度下的S.S.	20
圖 4.28	9-mask PMOS不同溫度下的S.S.	20
圖 4.29	8-mask PMOS不同溫度下的Mobility	21
圖 4.30	9-mask PMOS不同溫度下的Mobility	21
圖 4.31	8-mask PMOS不同溫度下的Ion(-10V).....	22
圖 4.32	9-mask PMOS不同溫度下的Ion(-10V).....	22
圖 4.33	8-mask PMOS不同溫度下的Ioff(-10V)	23
圖 4.34	9-mask PMOS不同溫度下的Ioff(-10V)	23
圖 4.35	8-mask Id-Vd特性曲線	25

圖 4.36	9-mask Id-Vd特性曲線	25
圖 4.37	8-mask Id-Vg特性曲線	26
圖 4.38	9-mask Id-Vg特性曲線	26
圖 4.39	8-mask Vth shift對stress時間關係	27
圖 4.40	9-mask Vth shift對stress時間關係	27
圖 4.41	8-mask Vth shift對Vg關係	28
圖 4.42	9-mask Vth shift對Vg關係	28
圖 4.43	8-mask Vth shift對 1/kT關係	29
圖 4.44	9-mask Vth shift對 1/kT關係	29
圖 4.45	8-mask - μ % v.s. stress temperature	31
圖 4.46	9-mask - μ % v.s. stress temperature	31
圖 4.47	8-mask S.S. % v.s. stress temperature	32
圖 4.48	9-mask S.S. % v.s. stress temperature	32
圖 4.49	8-mask PMOS在各種照光下(黃綠、白、藍)所產生的ID-VG比較 (W/L=5/5,VD=-10V)	33
圖 4.50	8-mask PMOS 無背光與背光ID-VG (W/L=5/5,VD=-10V), 左下角插圖為其他尺寸PMOS ID-VG (W/L=5,VD=-10V)	34
圖 4.51	8-mask PMOS無背光與背光ID-VG (W/L=5/5,VD=-0.1V), 左下角插圖為其他尺寸PMOS ID-VG比較W/L=5,VD=-0.2V)	35
圖 4.52	8-mask PMOS Vt shift (V), 以黃綠背光板(3.7V)量測Vt為基準	36
圖 4.53	9-mask PMOS Vt shift (V) 以黃綠背光板(3.7V)量測Vt為基準	36
圖 4.54	8-mask PMOS Δ S.S. (%), 以黃綠背光板(3.7V)量測S.S為基準	37
圖 4.55	9-mask PMOS Δ S.S. (%), 以黃綠背光板(3.7V)量測S.S為基準	37
圖 4.56	8-mask PMOS Δ μ (%), 以黃綠背光板(3.7V)量測 μ 為基準	38
圖 4.57	9-mask PMOS Δ μ (%), 以黃綠背光板(3.7V)量測 μ 為基準	38
圖 4.58	8-mask PMOS Δ Ion(-10V) (%), 以黃綠背光板(3.7V)量測Ion(-10V)為基準	39
圖 4.59	9-mask PMOS Δ Ion(-10V) (%), 以黃綠背光板(3.7V)量測Ion(-10V)為基準	39
圖 4.60	8-mask PMOS Δ Ioff(-10V) (%), 以黃綠背光板(3.7V)量測Ioff(-10V)為基準	40
圖 4.61	9-mask PMOS Δ Ioff(-10V) (%), 以黃綠背光板(3.7V)量測Ioff(-10V)為基準	40
圖 4.62	8-mask PMOS 無背光與背光JD-VD (W/L=5/5,VG=-2V), 具有振盪漣波現象	41
圖 4.63	8-mask PMOS 無背光與背光JD-VD (W/L=50/5,VG=-2V), 不具有振盪漣波現象	42
圖 4.64	8-mask PMOS JD shift (A/cm ²), 以黃綠背光板(3.7V)量測JD為基準	42
圖 4.65	9-mask PMOS JD shift (A/cm ²), 以黃綠背光板(3.7V)量測JD為基準	43

表目錄

表 4.1	8mask與 9mask不同摻雜的IVDD對照表.....	8
表 4.2	8mask與 9mask不同摻雜的VDDOUT對照表.....	9
表 4.3	8mask與 9mask不同摻雜的VEEOUT對照表.....	10
表 4.4	8-mask NMOS各參數之變化.....	17
表 4.5	9-mask NMOS各參數之變化.....	17
表 4.6	8-mask PMOS各參數之變化.....	24
表 4.7	9-mask PMOS各參數之變化.....	24
表 4.8	8-mask PMOS NBTI model各參數值之比較.....	30
表 4.9	9-mask PMOS NBTI model各參數值之比較.....	30
表 4.10	Backlight related parameters.....	34

1. 前言

所謂低溫多晶矽 (Low Temperature Poly-Silicon, LTPS) 是新一代薄膜電晶體(TFT)液晶顯示器 (TFT LCD) 的製造流程。LTPS TFT 與傳統非晶矽 (a-Si) TFT 最大的差異在於，LTPS 的薄膜電晶體經過雷射回火(Laser Anneal)的製程步驟，將非晶矽(a-Si)的薄膜轉變為多晶矽(Poly-Si)薄膜層，可大幅提升電晶體的載子移動率達 200 倍以上 ($\sim 0.5\text{cm}^2/\text{V}\cdot\text{sec}$. vs. $\sim 100\text{cm}^2/\text{V}\cdot\text{sec}$)。TFT 目前技術分為非晶矽(a-Si TFT)與多晶矽(Poly-Si TFT)二種，市面上所見的 TFT-LCD 幾乎都是非晶矽(a-Si) TFT，為目前成熟的技術。LTPS- TFT 主要藉由雷射退火製程形成多晶矽結構，多晶矽的電晶體電子移動速度較非晶矽提高百倍，具顯示畫面反映速度快、高亮度、及高解析度等優點，此外對成本的降低也有助益。但 LTPS 製程技術與 a-Si TFT 製程技術比較起來 LTPS 製程技術較為繁雜， a-Si TFT 所需光罩一般為 5 道，LTPS-TFT 所需的光罩一般為 9 道，因此 LTPS-TFT 在黃光製程花費最多時間的曝光會對製程效率有不可漠視的影響。

CMOS 9 mask 與 8 mask 之 TFT 製程之比較示意圖如圖 1.1 所示，原始 CMOS 9 mask 製程在 Channel Doping 前會先上光阻在利用曝光原理僅將 PMOS 以光阻擋住，使 NMOS 可順利的將離子植入，而 8 mask 方式其主要是省略 Channel Doping Mask 並直接調整其 Channel Doping 之 B₂H₆ 劑量，以確認畫素與驅動電路可正常動作且節省 Channel Photo 所需上光阻的成本與節省曝光時間。LTPS-TFT 其面板驅動電路及畫素驅動方式如圖 1.2 所示，畫素驅動因為有 V_{VEE}，較不會受臨界電壓 (threshold voltage)飄移影響，而面板周邊驅動電路則會因為元件臨界電壓 (threshold voltage, V_{th}) 趨近於 0，造成消費電流上升，因此 TFT device 之消費性電流與臨界電壓之變化為選定 Channel doping 劑量的主要依據，本研究會觀察 LTPS-TFT 元件之消費性電流與臨界電壓之變化來選定最佳化的條件。

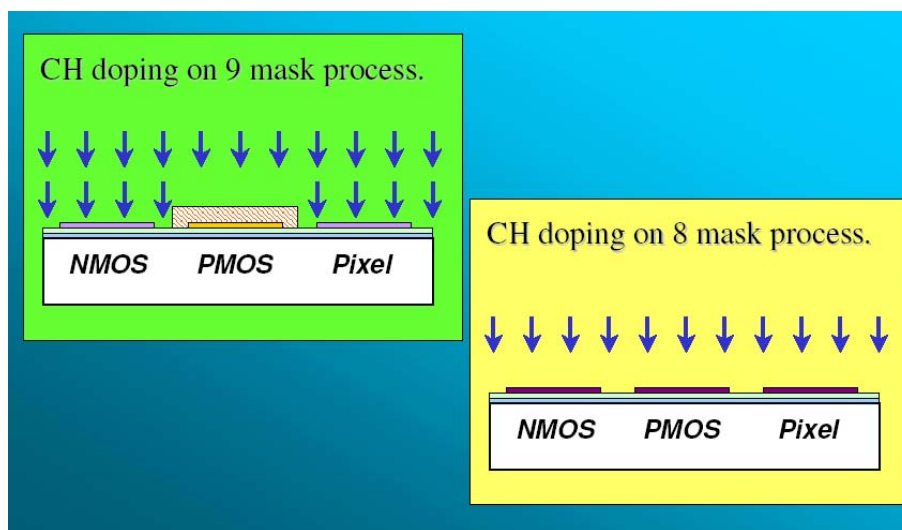


圖 1.1 CMOS 9 mask 與 8 mask 之 TFT 製程之比較示意圖

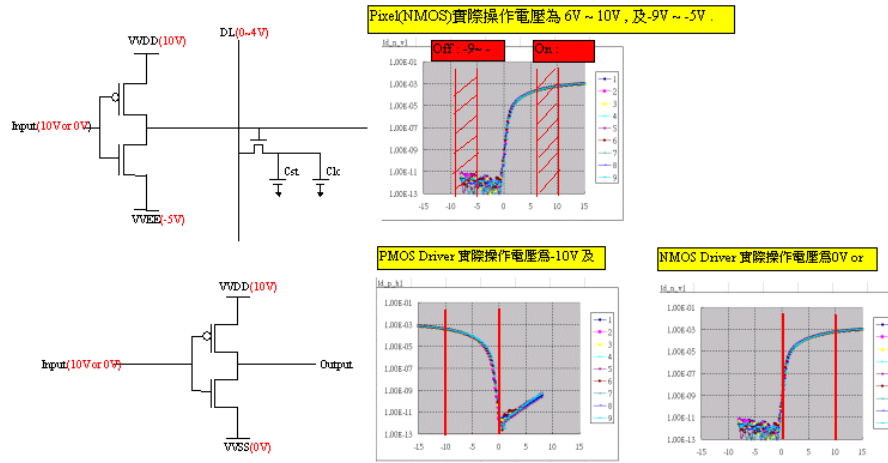


圖 1.2 面板驅動電路及畫素驅動方式

2. 研究目的

本計畫的目的是在於探討與研究 CMOS 8 mask 製程，並調整 Channel Doping 之 B_2H_6 劑量以利 TFT 能與一般 CMOS 9 mask 製程之 TFT 一樣正常動作，並維持其應有的優良特性。

在元件可靠度及劣化之研究方面，目前 TFT-LCD 液晶顯示器幾乎皆為成熟的非晶矽薄膜電晶體技術，但是在非晶矽薄膜電晶體主要是由 N-type TFT 所構成，而 N-type TFT 的可靠度與劣化特性，在成熟的非晶矽薄膜電晶體技術已有深入的探討與廣泛的研究成果。而低溫多晶矽薄膜電晶體的驅動電路主要由 CMOS 元件包括 N-type 與 P-type 元件所構成，為了有良好的元件及電路特性，目前低溫多晶矽薄膜電晶體 P-type TFT 之負偏壓不穩定性(Negative Bias Temperature Instability; NBTI)大部份是在閘極加上一高的偏壓加速其劣化以及當元件操作在不同溫度之下後量測元件之 ID-VGS 轉換特性曲線(transfer curve)，以求取元件臨界電壓偏移(V_{th} shift)、次臨界電壓(sub-threshold swing, S.S.)劣化(degradation)、TFT 的開啟電流劣化(Ion degradation)等。藉由 P-通道元件負偏壓溫度不穩定度以及九道光罩製程與八道光罩製程在不同溫度下的參數變化，可以確認低溫多晶矽薄膜電晶體應用在 CMOS 的驅動電路是否穩定。

雖然光漏電流 (Photo Leak Current)，造成 LCD 的影像品質下降，並且增加功率的消耗，但背光 (Backlight)的重要性，往往被製程上被忽略 [12]，因此該論文在實驗中，選擇了幾組不同 W/L (Width/Length)的 PMOS，利用不同的 LCD 背光模組 - 白、藍、黃綠，並且改變其背光板的背光強度，讓 TFT Glass Substrate 曝露在該背光光線之下產生不同 I-V 曲線，藉由分析 I-V 曲線、臨界電壓(Threshold Voltage)、臨界擺幅 (Sub-Threshold Swing, S.S.)、場效電子遷移率 (Field-Effect Mobility, μ)、驅動電流 (Drive Current, I_{ON})、關閉電流 (Off Current, I_{off})，探討光漏電流 (Photo Leak Current)對 TFT 所造成的問題。

3. 研究方法

3.1 量測機台介紹

- (1) Keithley 4200(Semiconductor Characterization System)用途為 I-V 特性與 voltage and temperature stress 量測機台
- (2)Agilent 4156C Precision Semiconductor Parameter Analyzer
- (3)USB 4000 微型光譜儀

3.2 量測條件及項目

3.2.1 LTPS低溫多晶矽通道摻雜縮減製程之元件可靠度與劣化之研究

(1)量測條件與參數

I_D - V_G : V_G sweep : 15V~-15V、 V_D step : -0.1V、-10V (PMOS), 0.1V、10V (NMOS)

I_D - V_D : V_G step : -2V~-10V、 V_D sweep : 0V~-12V (PMOS)

量測參數： I_D - V_D 特性曲線、 I_D - V_G 轉換特性曲線、臨界電壓 V_{th} ($I_D=1nA*W/L$)、載子移動率 $\mu(V_D=0.1V)$ 、次臨界擺幅 S.S. ($V_D=0.1V$)、 $I_{ON}(V_D=10V)$ 、 $I_{OFF}(V_D=10V)$ 。

(2)量測項目

8-mask V.S. 9-mask

- 元件尺寸 $W(\mu m)/L(\mu m)$: 5/3.6、5/5、5/6，元件種類：P-type TFT、N-type TFT
- 溫度變化的影響條件為：25 °C、50 °C、75 °C、100 °C、125 °C

NBTI

- 元件尺寸 $W(\mu m)/L(\mu m)$: 50/5
- Stress Voltage, V_G (v) : -20、-25、-30，元件種類：P-type TFT
- Stress Time, t (s) : 1~1000
- Stress Temperature, T (°C) : 25、75、125

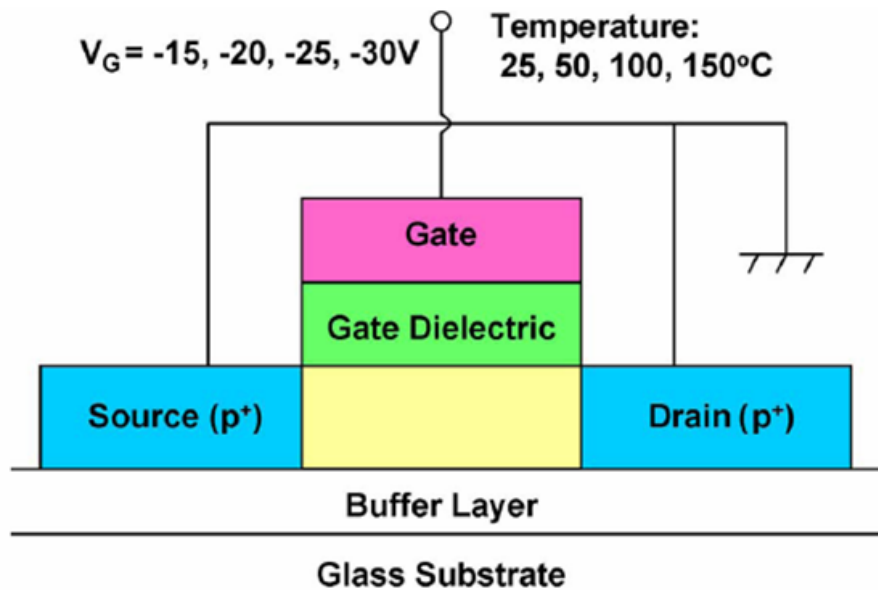


圖 3.1 NBTI 元件測試之示意圖

3.2.2 低溫多晶矽薄膜電晶體(LTPS TFTs)電性分析- PMOS光可靠度分析

(1)測量條件及項目

8 & 9 Mask Process PMOS 元件尺寸 W(μm)/L(μm) : 5/3.6、5/5、5/6、50/3.6、50/5、50/6

ID-VG Characteristics : $V_D = 0.1\text{V}$ 、 10V , $V_S = \text{GND}$, $V_G = -15\sim 15\text{V}$

ID-VD Characteristics : $V_D = -0 \sim -15\text{V}$, $V_S = \text{GND}$, $V_G = -2\text{V}$

Backlight light source: yellow-green at $V=3.7\text{V}$, 4.5V , 5V , 5.5V 、white、blue wavelength

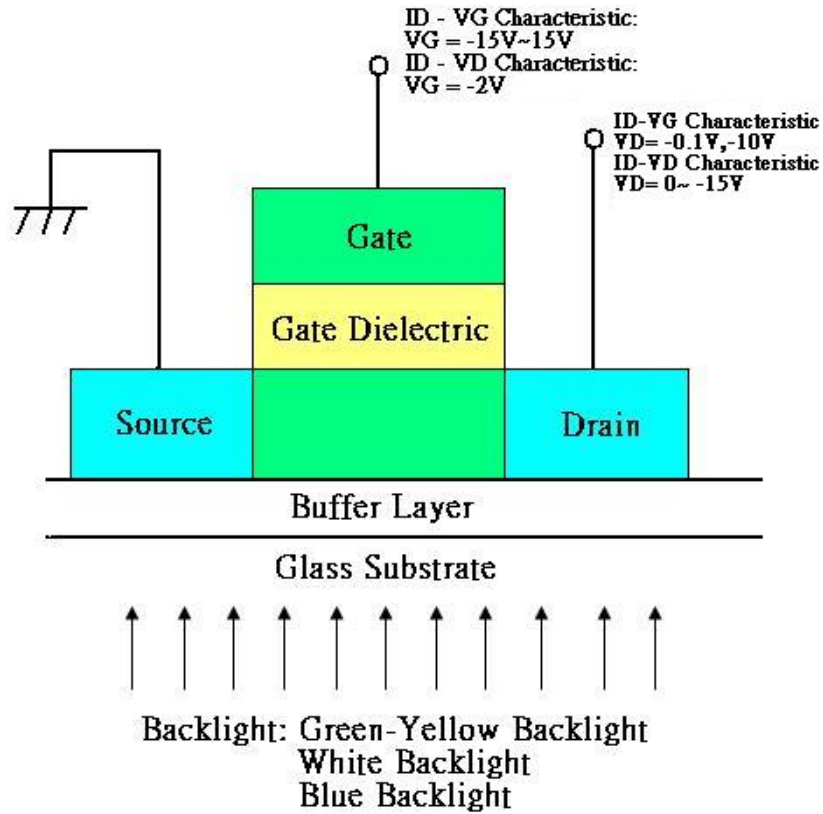


圖 3.2 PMOS 光可靠度實驗模型

4. 實驗結果與討論

4.1 CMOS 8 mask Channel Doping 製程調整與電性規格

4.1.1 CMOS 8 mask Channel Doping 劑量

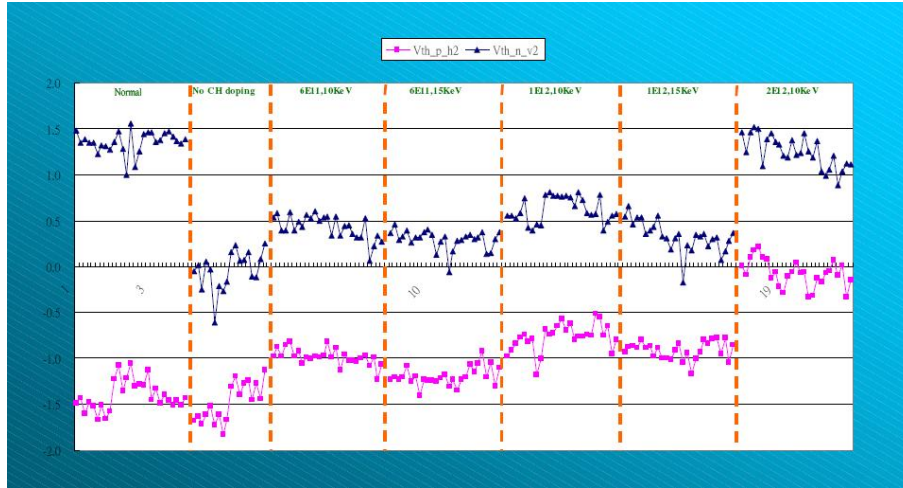


圖 4.1 TEG / Vth (AR1831500) 比較圖

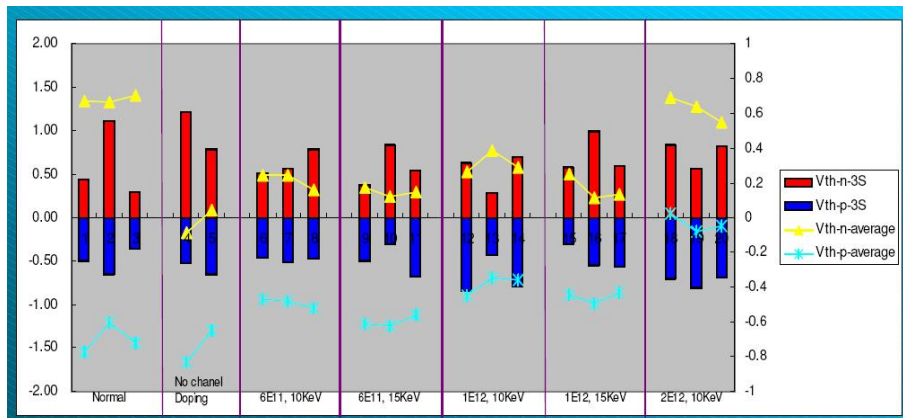


圖 4.2 Vth 3S (AR18315) 比較圖

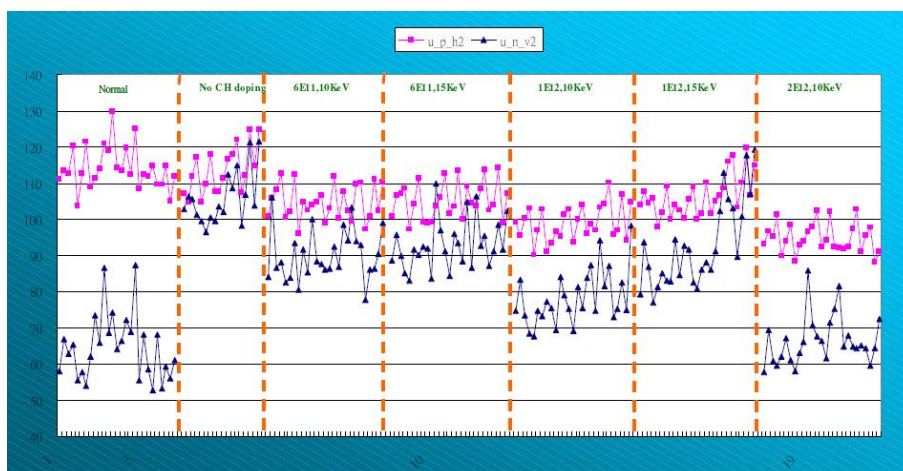


圖 4.3 TEG/u (AR1831500)

由以上的 Test Element Group 比較圖可知，1E12,15KeV 的劑量較為理想。

4.1.2 Vth Gauss Distribution

CH Doping=Non

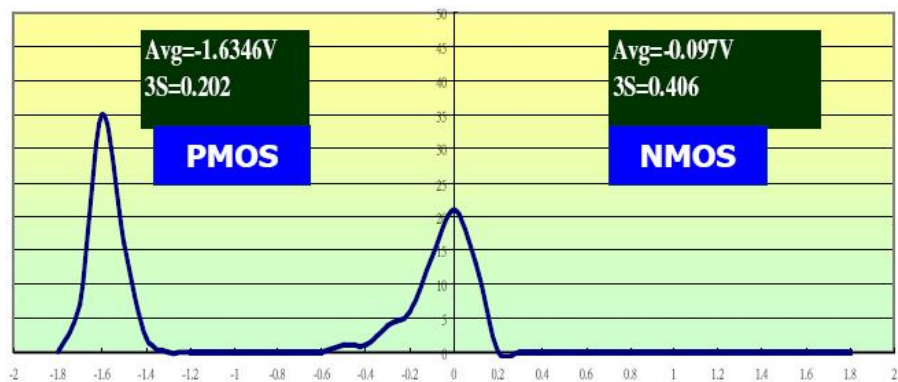


圖 4.4 CH Doping=Non Vth 的高斯分佈圖

CH=1.2E12

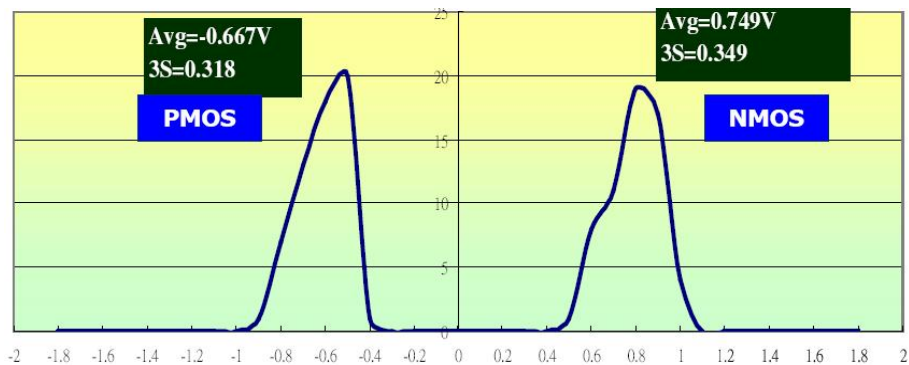


圖 4.5 CH=1.2E12 Vth 的高斯分佈圖

CH=2E12

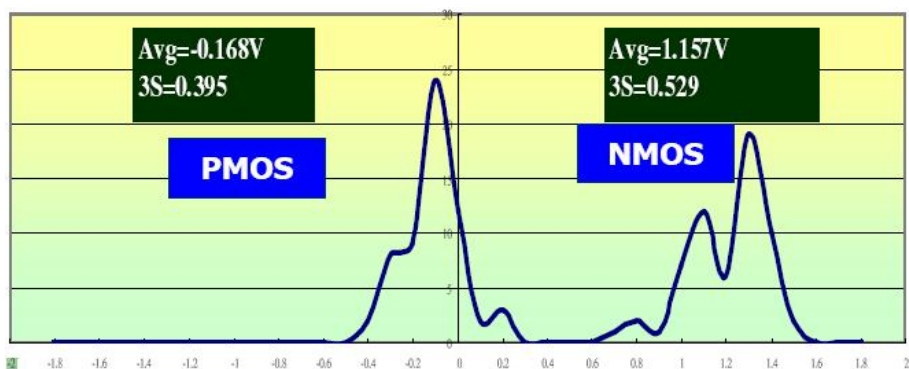


圖 4.6 CH=2E12 Vth 的高斯分佈圖

由圖 4.4、4.5、4.6 可以看出當摻雜濃度在 CH=1.2E12 時，其高斯分佈曲線左右最平均，較能符合 9mask 的需求。

4.1.3 Average Data Comparison

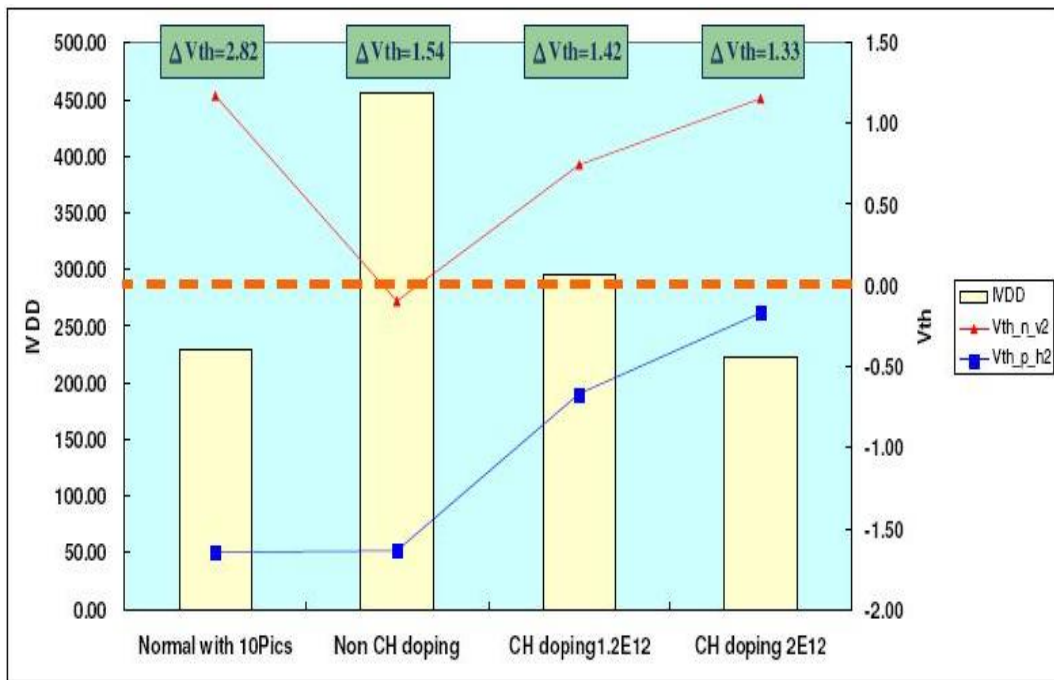


圖 4.7 不同摻雜時的 IVDD

圖 4.7 可知沒摻雜時正電壓過低，即使 IVDD 很高但仍然會造成不必要的耗損，CH=1.2E12 的電壓範圍與 9mask 相似，且 IVDD 還比 9mask 高，而 CH=2E12 的負電壓則太低，IVDD 也比 9mask 略低一些。

4.1.4 ART-IVDD Comparison

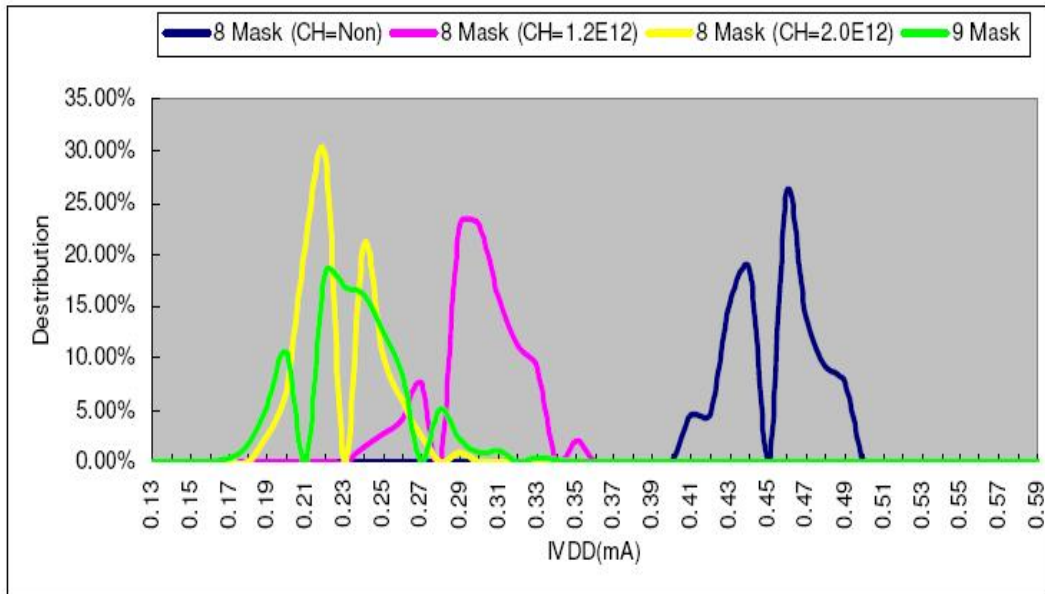


圖 4.8 為不同摻雜濃度的 IVDD

表 4.1 8mask 與 9mask 不同摻雜的 IVDD 對照表

	8 Mask			9 Mask
	CH=Non	CH=1.2E12	CH=2.0E12	CH=2.0E12
Max	0.49	0.34	0.28	0.33
Min	0.40	0.23	0.18	0.16
Avg.	0.45	0.29	0.22	0.23

4.1.5 ART-VDD OUT Comparison

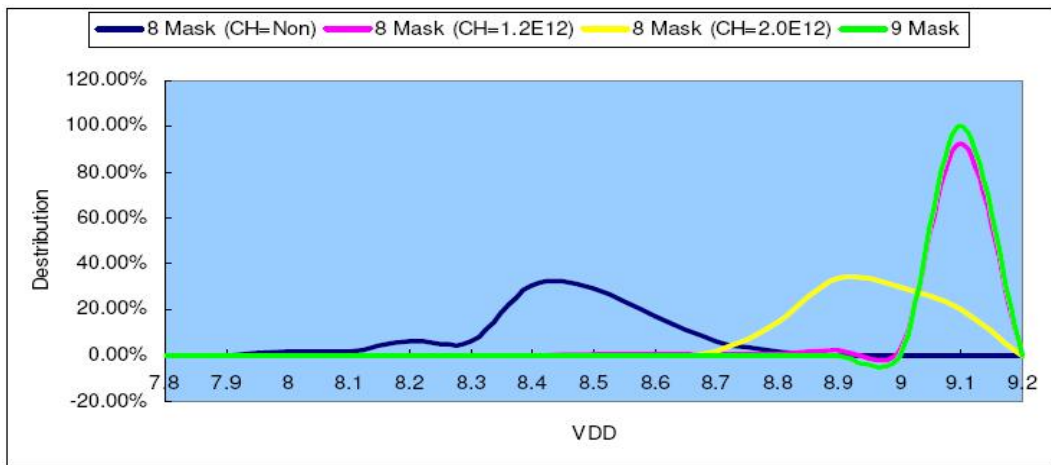


圖 4.9 不同摻雜濃度的 VDDOUT

表 4.2 8mask 與 9mask 不同摻雜的 VDDOUT 對照表

	8 Mask			9 Mask
	CH=Non	CH=1.2E12	CH=2.0E12	CH=2.0E12
Max	8.76	9.08	9.07	9.08
Min	7.94	8.46	8.63	9.07
Avg.	8.41	9.04	8.90	9.08

4.1.6 ART-VEE OUT Comparison

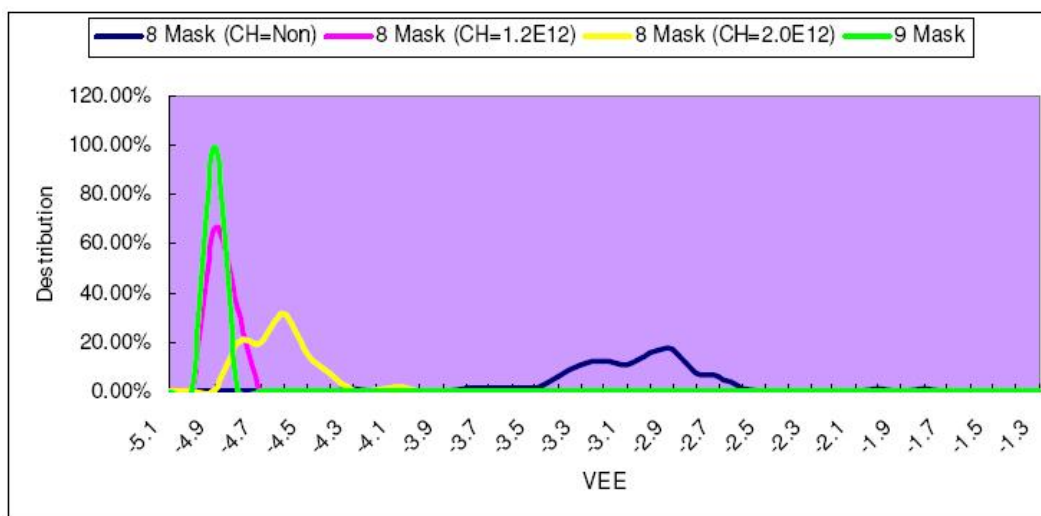


圖 4.10 不同摻雜濃度的 VEEOUT

表 4.3 8mask 與 9mask 不同摻雜的 VEEOUT 對照表

	8 Mask			9 Mask
	CH=Non	CH=1.2E12	CH=2.0E12	CH=2.0E12
Max	-1.84	-4.76	-4.13	-4.86
Min	-4.34	-4.95	-4.90	-4.93
Avg	-3.12	-4.89	-4.66	-4.92

圖 4.8、4.9、4.10 中 CH=1.2E12 的 IVDD、VDDOUT，VEEOUT 都與 9mask 的近似，雖然圖 4.8 的 CH=2E12 IVDD 也與 9mask 接近但在 VDDOUT 與 VEEOUT 都沒有 CH=1.2E12 的好，因此不被採用，而表 4.1、表 4.2、表 4.3 能看出摻雜在 CH=1.2E12 的濃度時，其電壓幾乎是與 9mask 不相上下。

4.2 八道光罩製程對九道光罩N-type LTPS-TFT V.S.不同溫度變化之電性分析

4.2.1 Id-Vg curve

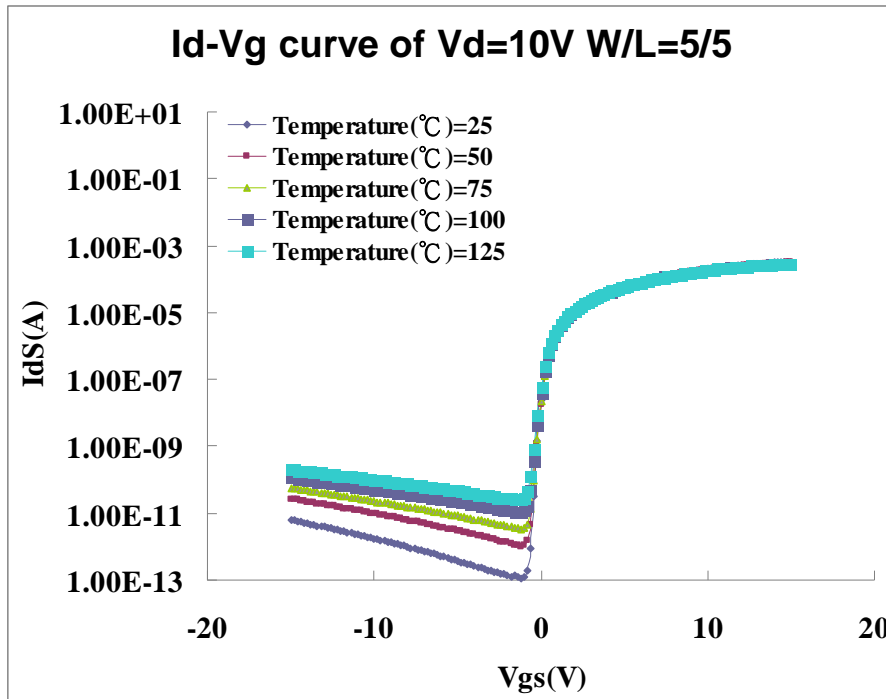


圖 4.11 8-mask NMOS 的 Ids-Vgs 曲線

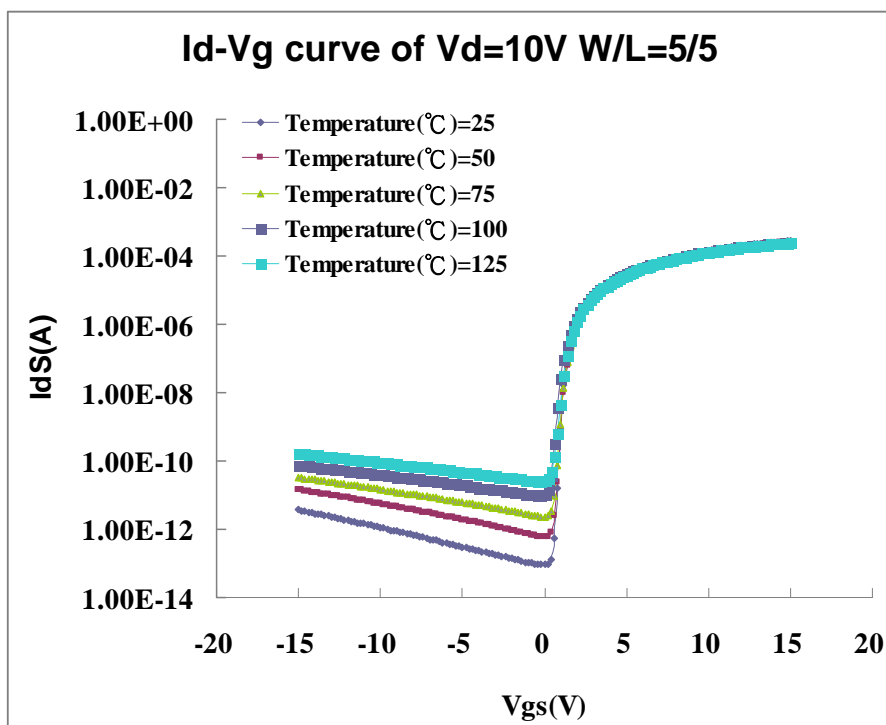


圖 4.12 9-mask NMOS 的 Ids-Vgs 曲線

4.2.2 Threshold Voltage

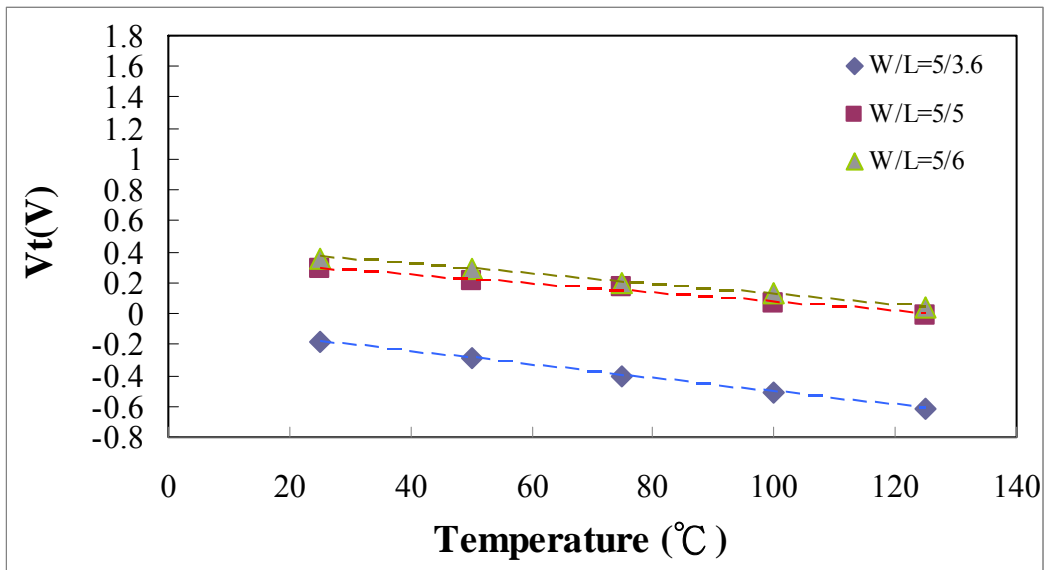


圖 4.13 8-mask NMOS 不同溫度下的 V_t

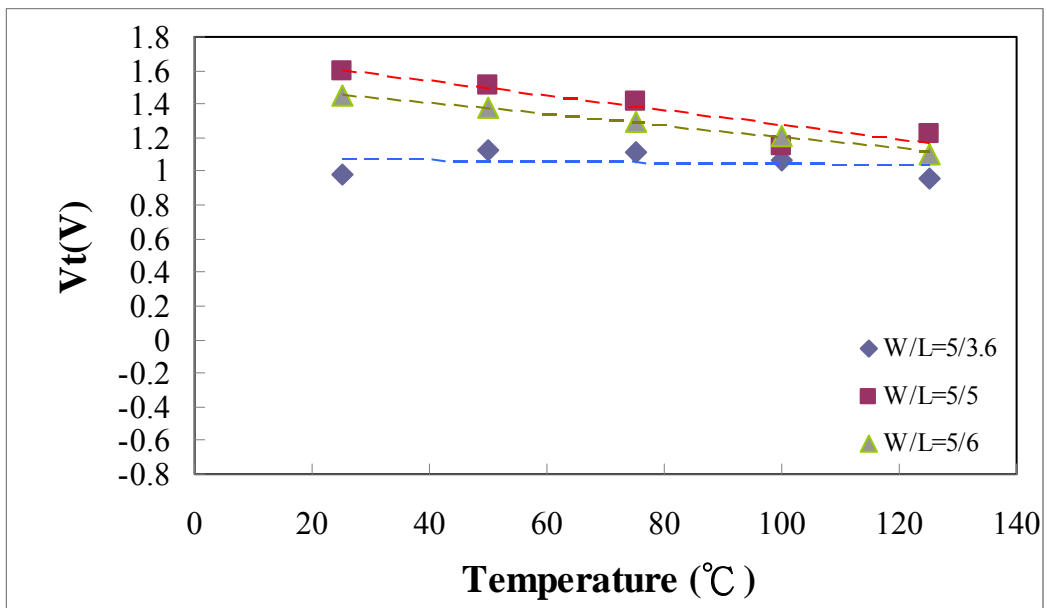


圖 4.14 9-mask NMOS 不同溫度下的 V_t

4.2.3 Sub-threshold Swing

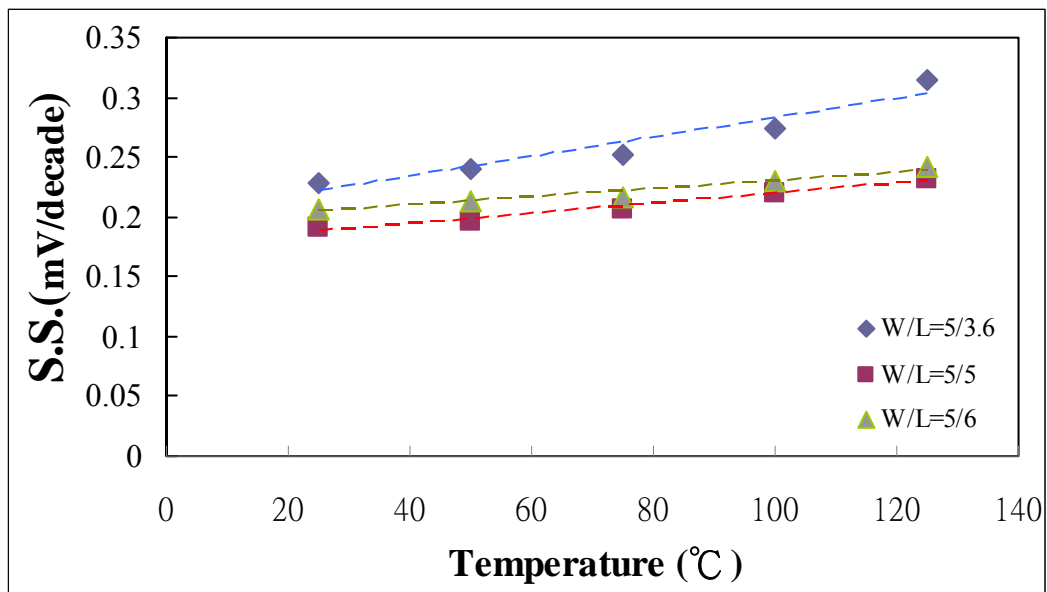


圖 4.15 8-mask NMOS 不同溫度下的 S.S.

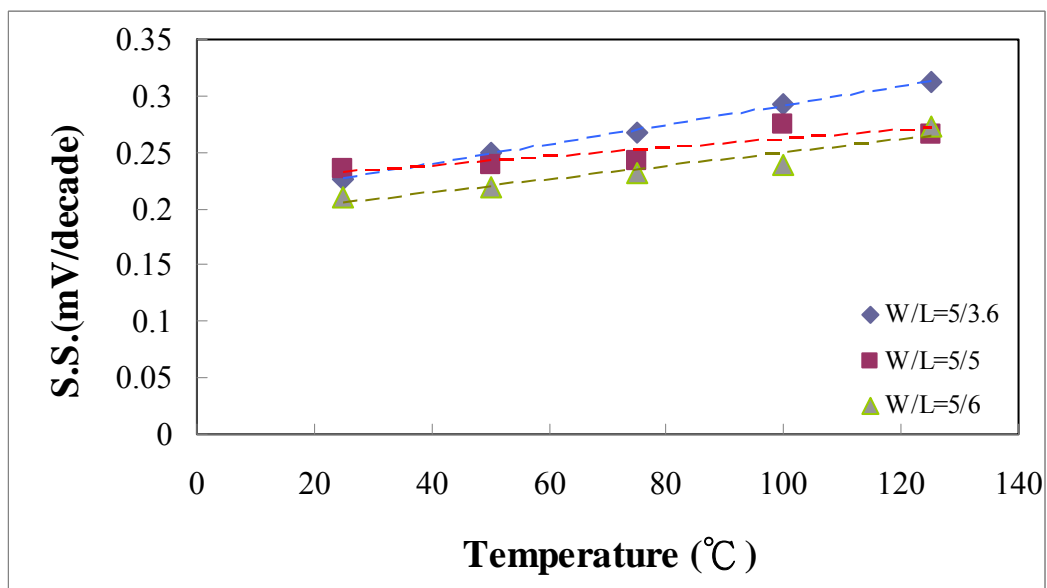


圖 4.16 9-mask NMOS 不同溫度下的 S.S.

4.2.4 Mobility

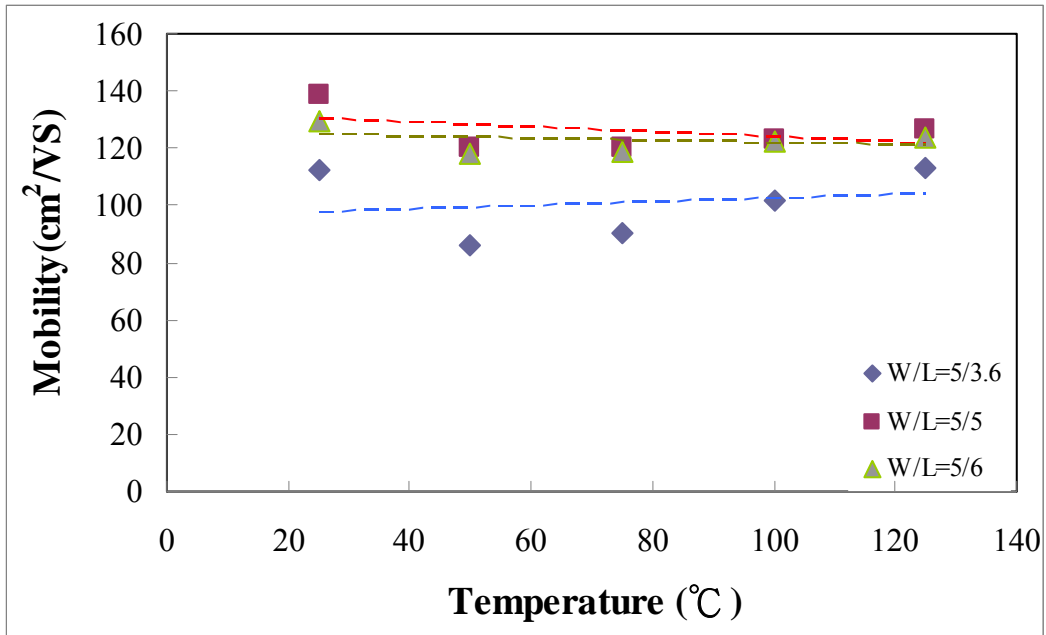


圖 4.17 8-mask NMOS 不同溫度下的 Mobility

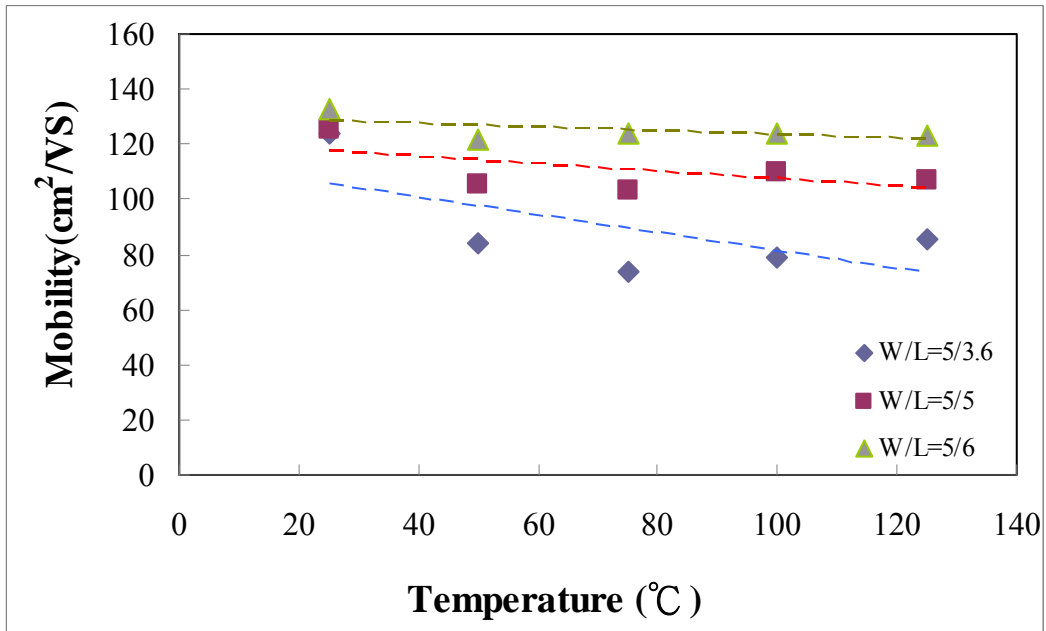


圖 4.18 9-mask NMOS 不同溫度下的 Mobility

4.2.5 $I_{on}(10V)$

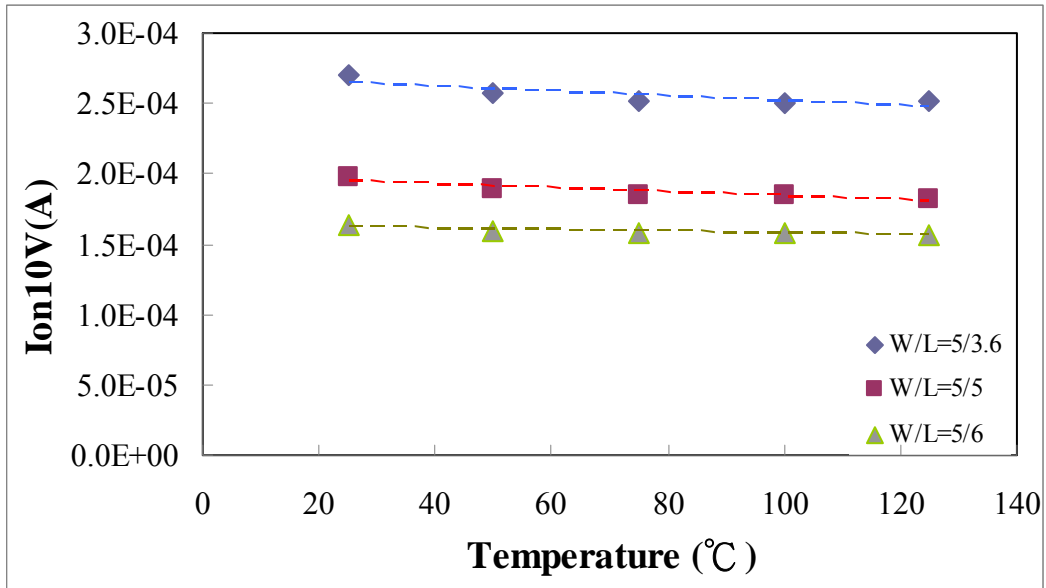


圖 4.19 8-mask NMOS 不同溫度下的 $I_{on}(10V)$

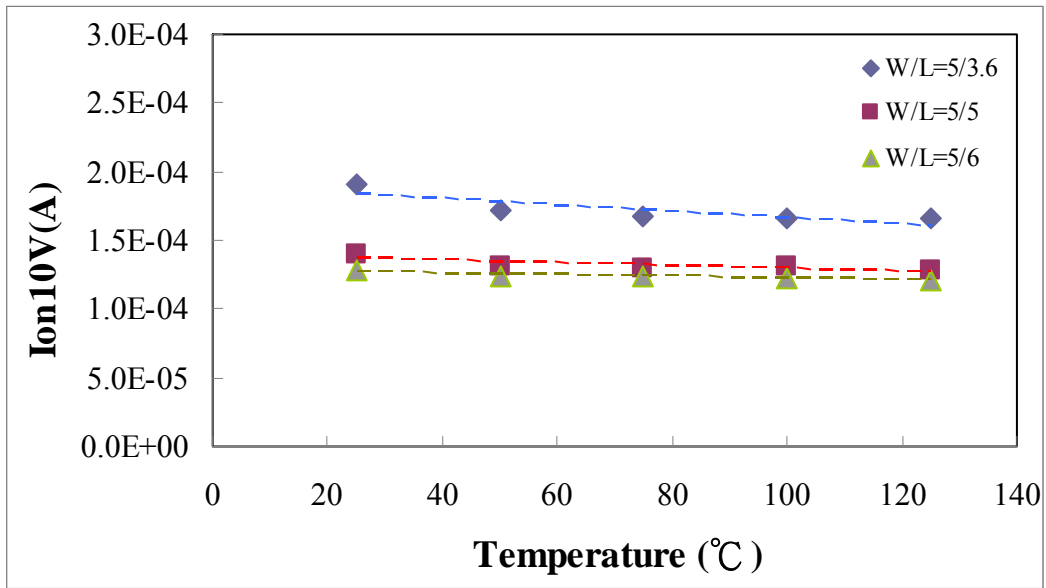


圖 4.20 9-mask NMOS 不同溫度下的 $I_{on}(10V)$

4.2.6 $I_{off}(10V)$

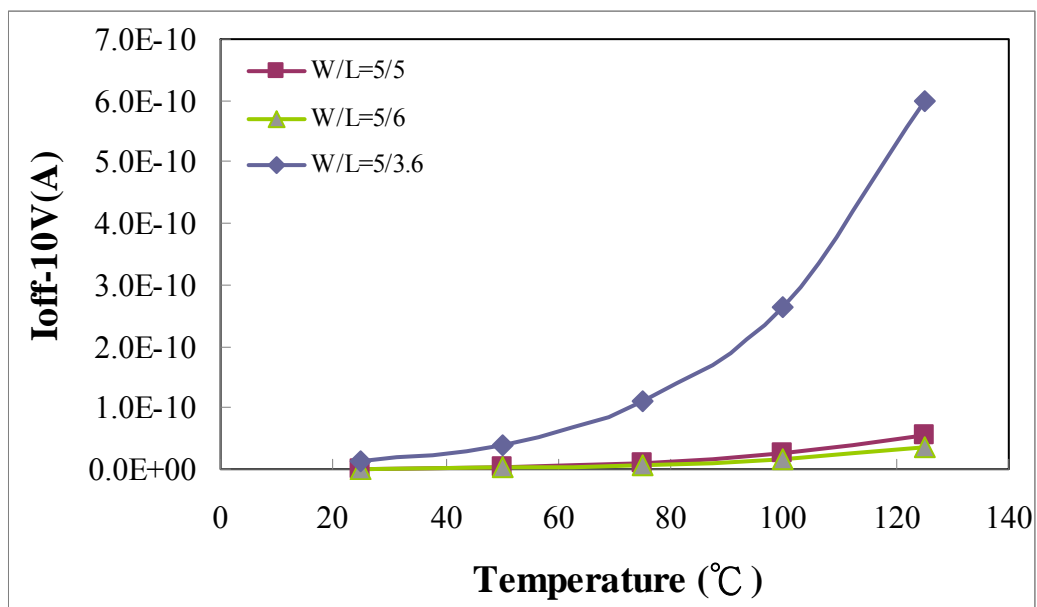


圖 4.21 8-mask NMOS 不同溫度下的 $I_{off}(10V)$

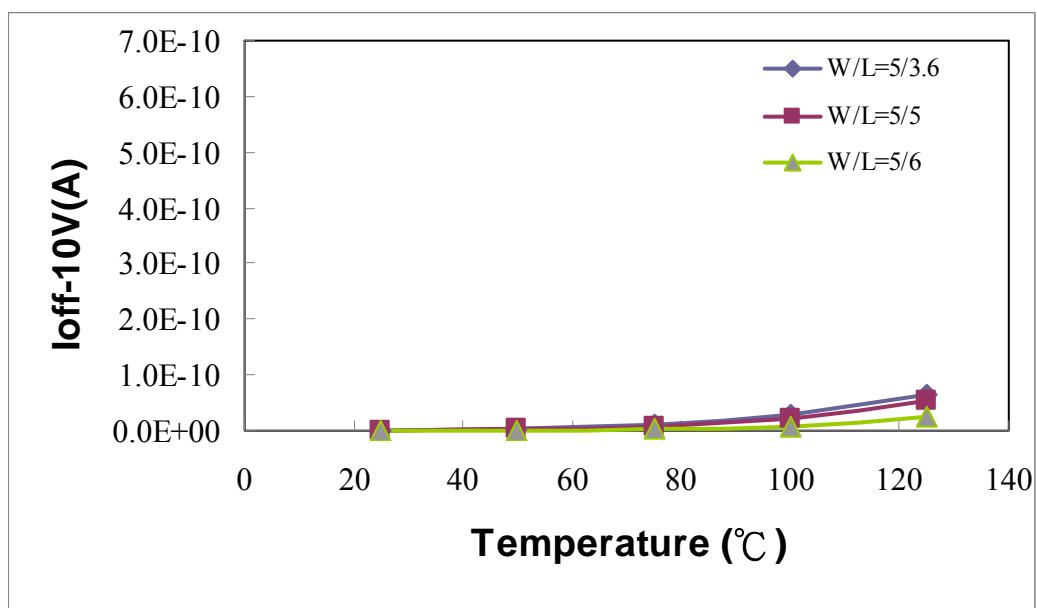


圖 4.22 9-mask NMOS 不同溫度下的 $I_{off}(10V)$

表 4.4 8-mask NMOS 各參數之變化

W(um)/L(um)	5/3.6	5/5	5/6
Vth shift	-0.43	-0.30	-0.32
Δ S.S.(%)	37.89	20.49	16.77
Δ Mobility(%)	0.67	-8.74	-4.57
Δ Ion(%)	-6.70	-7.47	-4.08
Δ Ioff(%)	4036.47	10524.49	9516.29

表 4.5 9-mask NMOS 各參數之變化

W(um)/L(um)	5/3.6	5/5	5/6
Vth shift	-0.02	-0.37	-0.34
Δ S.S.(%)	27.61	11.94	22.60
Δ Mobility(%)	-31.08	-14.85	-6.94
Δ Ion(%)	-13.49	-8.30	-5.38
Δ Ioff(%)	13255.10	13816.23	11997.26

由圖 4.11 與 4.12 可知 NMOS 元件 8-mask 跟 9-mask 的 I_d-V_g 曲線，從圖可知當溫度上升時漏電流也會隨之增加，由表 4.4 與 4.5 可知 8-mask 的 I_{off} 較 9-mask 的 I_{off} 小。由圖 4.13 與 4.14 可得知 NMOS 8-mask 與 9-mask 之 V_{th} 都會隨著溫度的增加而隨之下降。圖 4.15、4.16 為不同尺寸之 8-mask 與 9-mask 的 S.S. 都隨著溫度升高而上升。圖 4.17 與 4.18 為 Mobility，似忽有先降在升的趨勢，8-mask 優於 9-mask。圖 4.19、4.20、4.21、4.22 為各尺寸之 Ion 與 Ioff，其 8-mask 之劣化程度較 9-mask 低。-

4.3 八道光罩對九道光罩製程P-type LTPS-TFT V.S.不同溫度變化之電性分析

4.3.1 Id-Vg curve

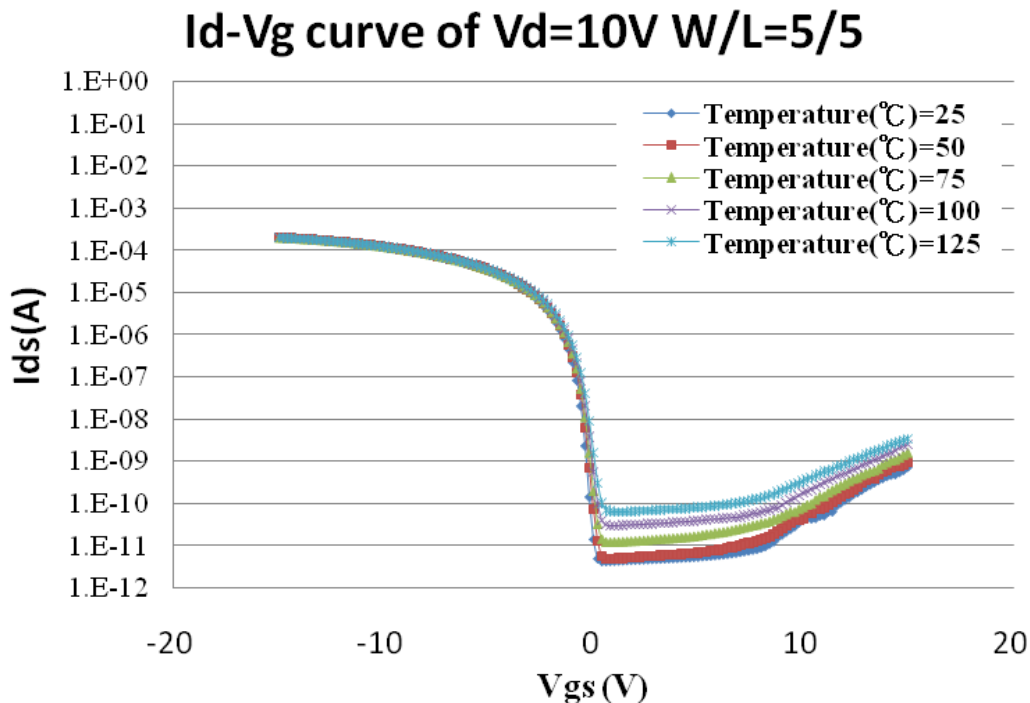


圖 4.23 8-mask PMOS 的 I_{ds} - V_{gs} 曲線

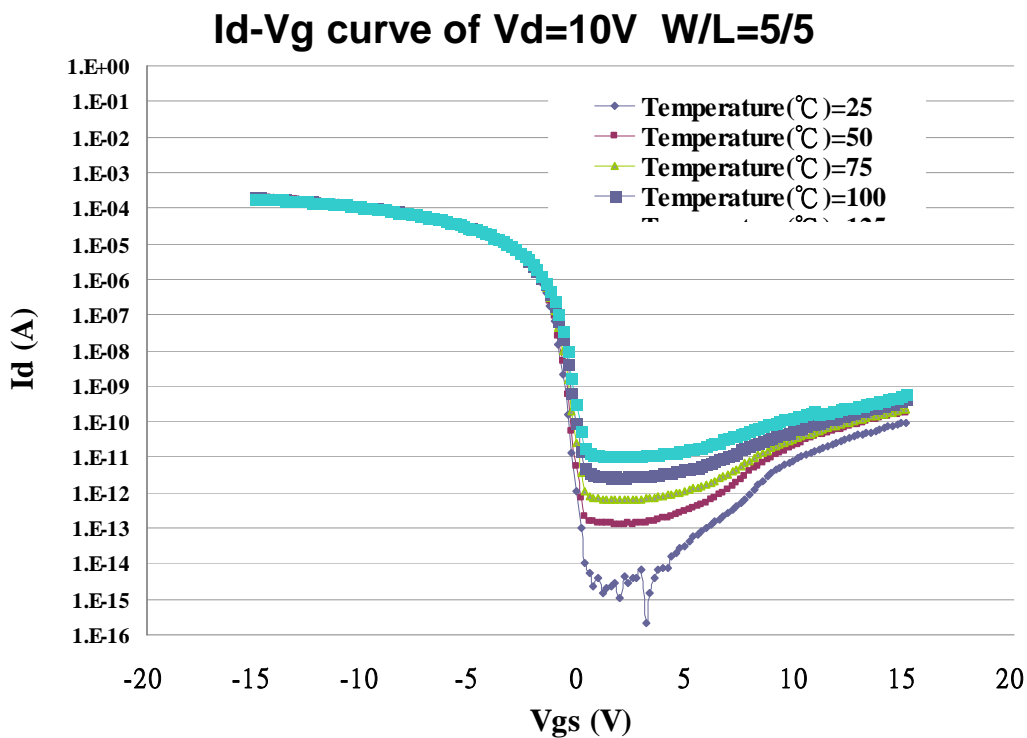


圖 4.24 9-mask PMOS 的 I_{ds} - V_{gs} 曲線

4.3.2 Threshold Voltage

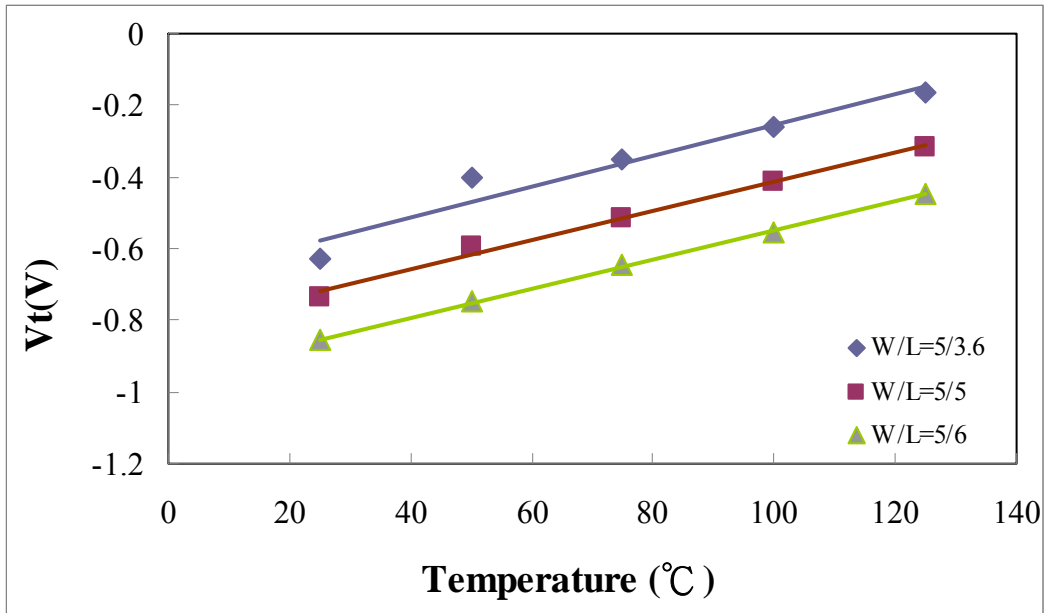


圖 4.25 8-mask PMOS 不同溫度下的 V_{th}

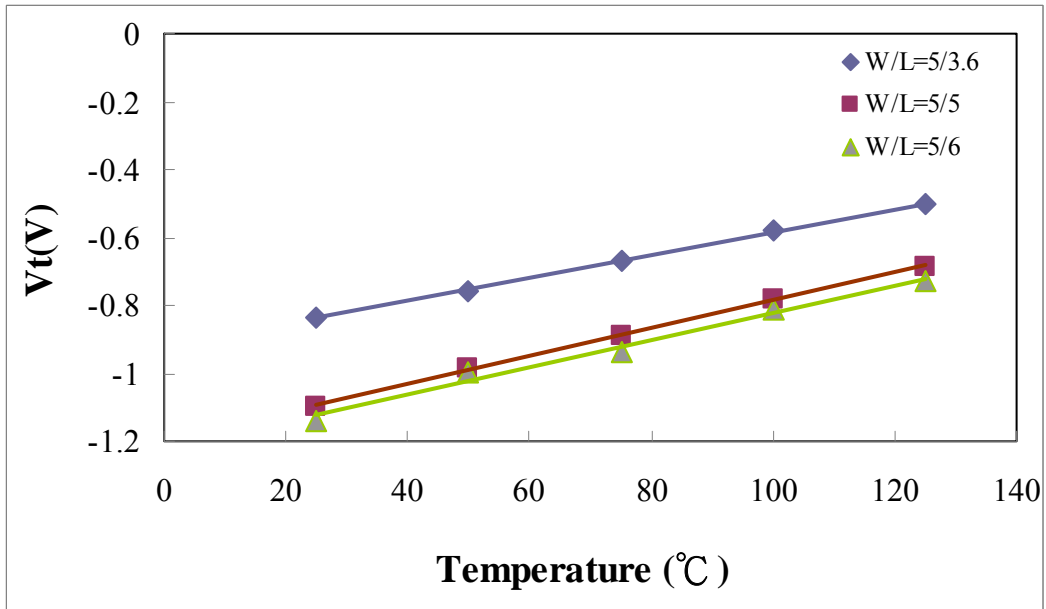


圖 4.26 9-mask PMOS 不同溫度下的 V_{th}

4.3.3 Sub-threshold Swing

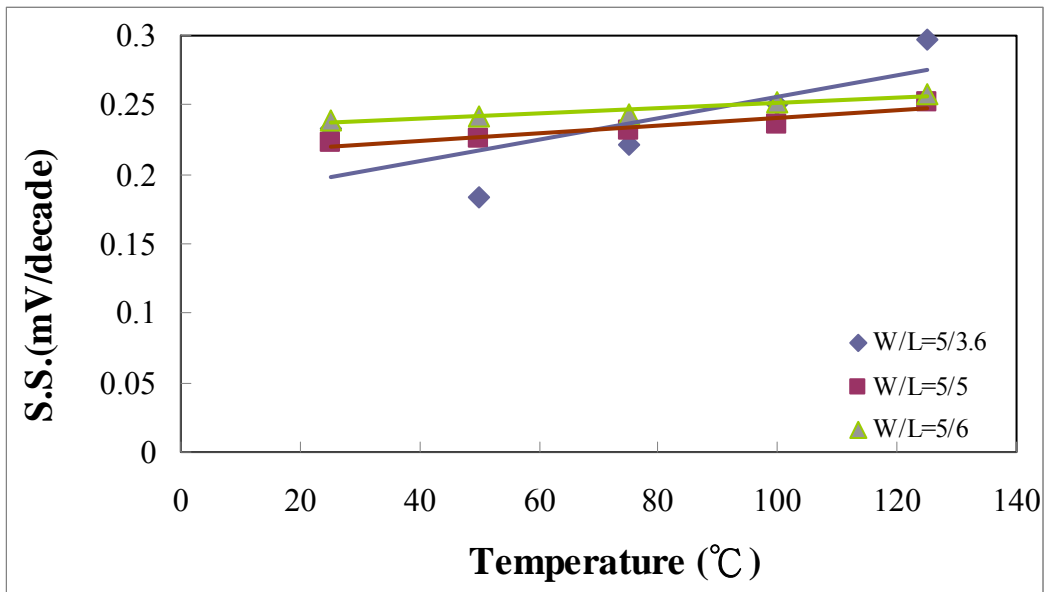


圖 4.27 8-mask PMOS 不同溫度下的 S.S.

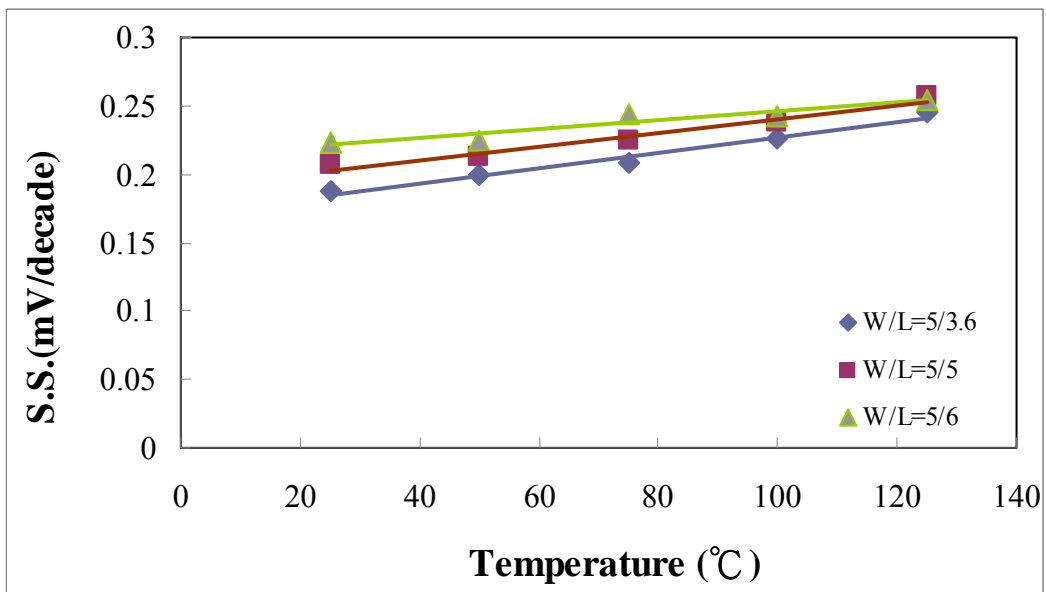


圖 4.28 9-mask PMOS 不同溫度下的 S.S.

4.3.4 Mobility

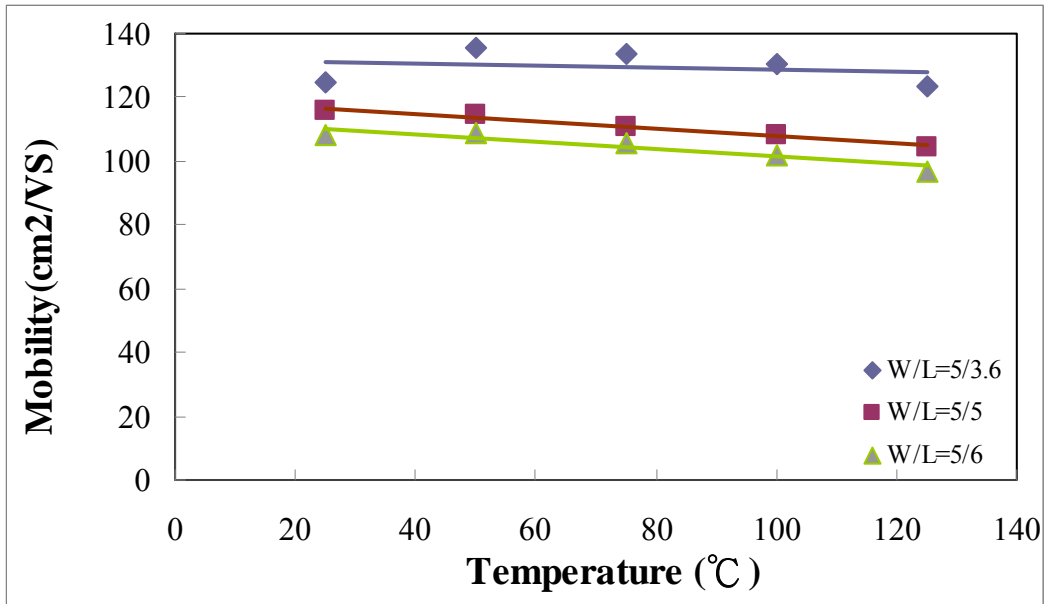


圖 4. 29 8-mask PMOS 不同溫度下的 Mobility

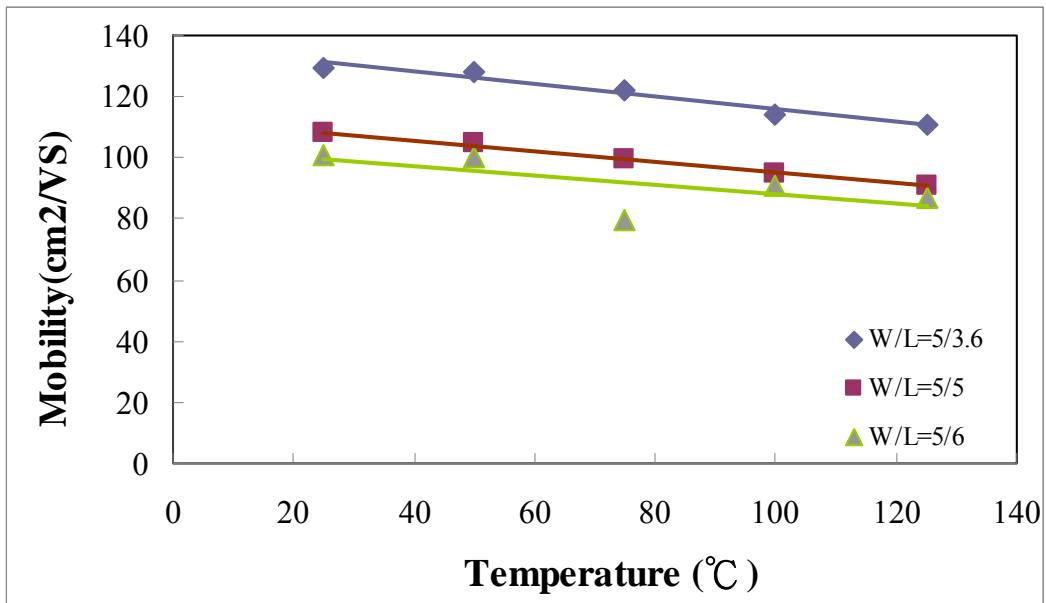


圖 4. 30 9-mask PMOS 不同溫度下的 Mobility

4.3.5 Ion(10V)

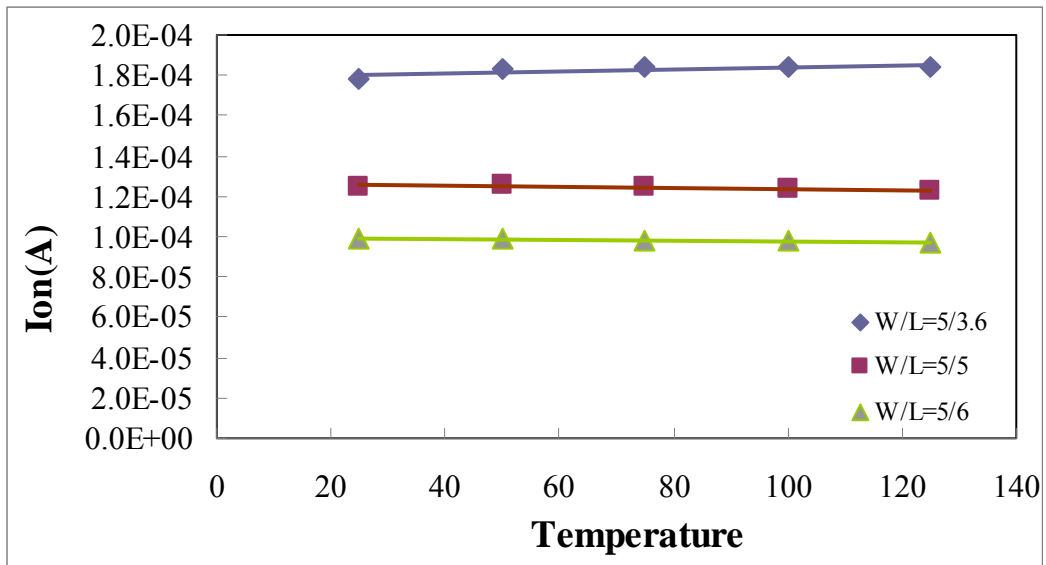


圖 4.31 8-mask PMOS 不同溫度下的 $I_{on}(-10V)$

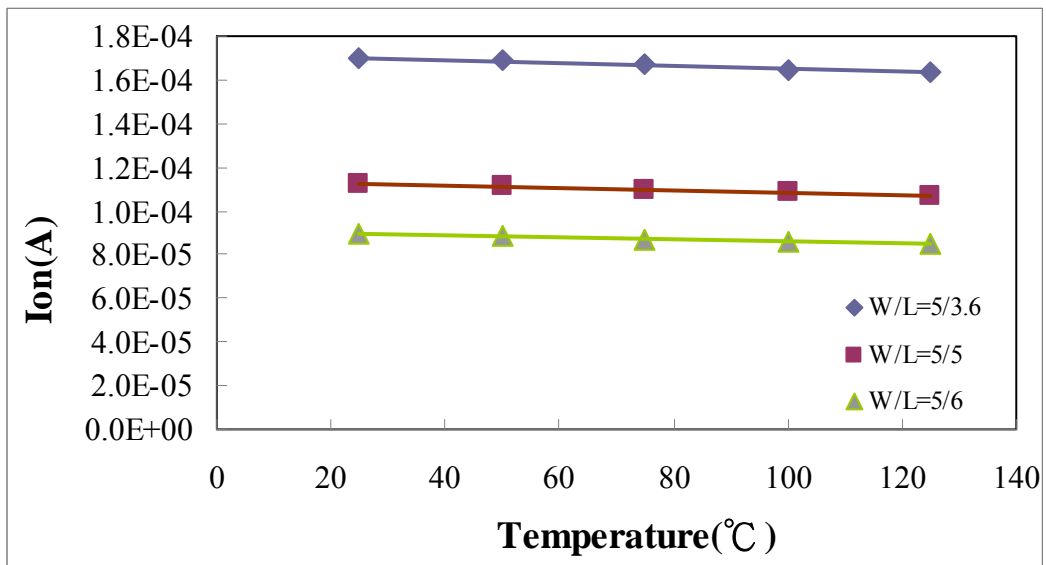


圖 4.32 9-mask PMOS 不同溫度下的 $I_{on}(-10V)$

4.3.6 $I_{off}(-10V)$

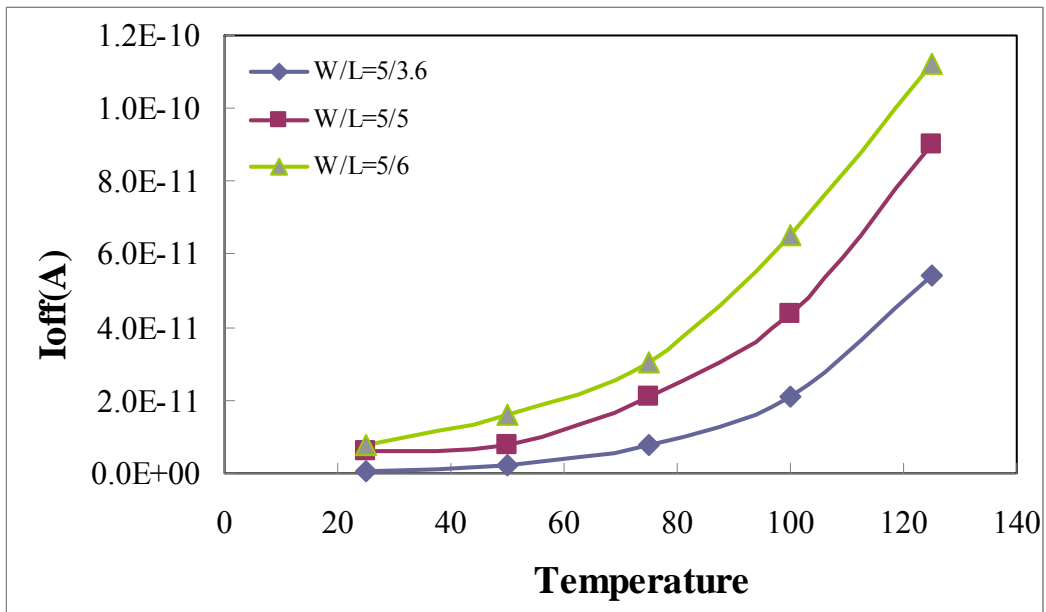


圖 4.33 8-mask PMOS 不同溫度下的 $I_{off}(-10V)$

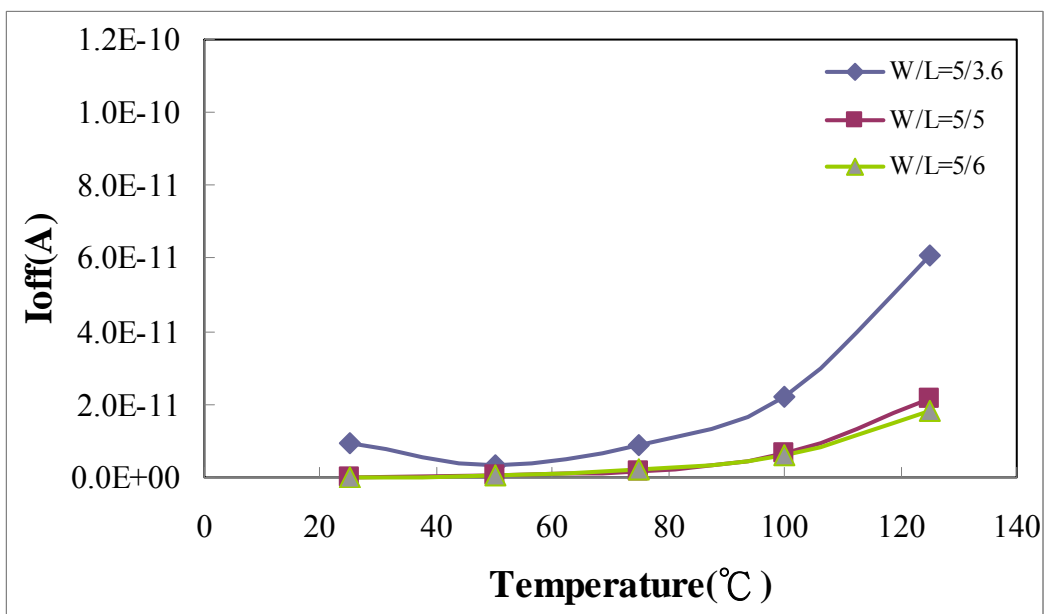


圖 4.34 9-mask PMOS 不同溫度下的 $I_{off}(-10V)$

表 4.6 8-mask PMOS 各參數之變化

W(um)/L(um)	5/3.6	5/5	5/6
Vth shift	0.46	0.42	0.41
Δ S.S.(%)	21.52	11.62	7.49
Δ Mobility(%)	-1.02	-11.13	-11.30
Δ Ion(%)	3.20	-1.65	-2.23
Δ Ioff(%)	99.00	93.14	93.24

表 4.7 9-mask PMOS 各參數之變化

W(um)/L(um)	5/3.6	5/5	5/6
Vth shift	0.33	0.41	0.41
Δ S.S.(%)	23.27	20.16	12.44
Δ Mobility(%)	-16.74	-18.91	-16.20
Δ Ion(%)	-3.99	-5.28	-5.15
Δ Ioff(%)	84.55	99.43	98.69

由圖 4.23、4.24 在 $V_d=-10V$ 之 I_d-V_g 曲線，可知 8-mask PMOS 之 I_{off} 較 9-mask PMOS 大，不 8-mask 或 9-mask NMOS 或 PMOS 漏電流都會隨著溫度上升而增加。由圖 4.25、4.26 可知道 PMOS 8-mask 與 9-mask 的 V_{th} 皆會隨著溫度上升而增加。圖 4.27 與 4.28 為 PMOS 8-mask 與 9-mask 的 Sub-threshold Swing，會隨著溫度的增加而上升，8-mask 較 9-mask 小。圖 3-22、3-23 為 PMOS 8mask 跟 9-mask 的 Mobility，8-mask 各尺寸皆比 9-mask 來的低。圖 4.29、4.30、4.31、4.32 為 PMOS 8-mask 與 9-mask 的 Ion 與 Ioff 隨溫度之劣化程度在不同製程並無差異，不過在不同元件尺寸之 8-mask PMOS L 越小則 Ioff 越小，9-mask PMOS 則與其相反，這可能是因為 8-mask PMOS 製程時有摻雜 B_2H_6 ，造成 L 愈大 I_{off} 電流愈大，但 9-mask 製程 PMOS 沒有摻雜 B_2H_6 就呈現橫向電場效應愈大，若 V_{ds} 固定 L 愈大，電場愈大，電流愈大。

4.4 八道光罩對九道光罩製程P-type LTPS-TFT 之NBTI電性劣化分析

4.4.1 I_d - V_d curve before and after NBTI Stress

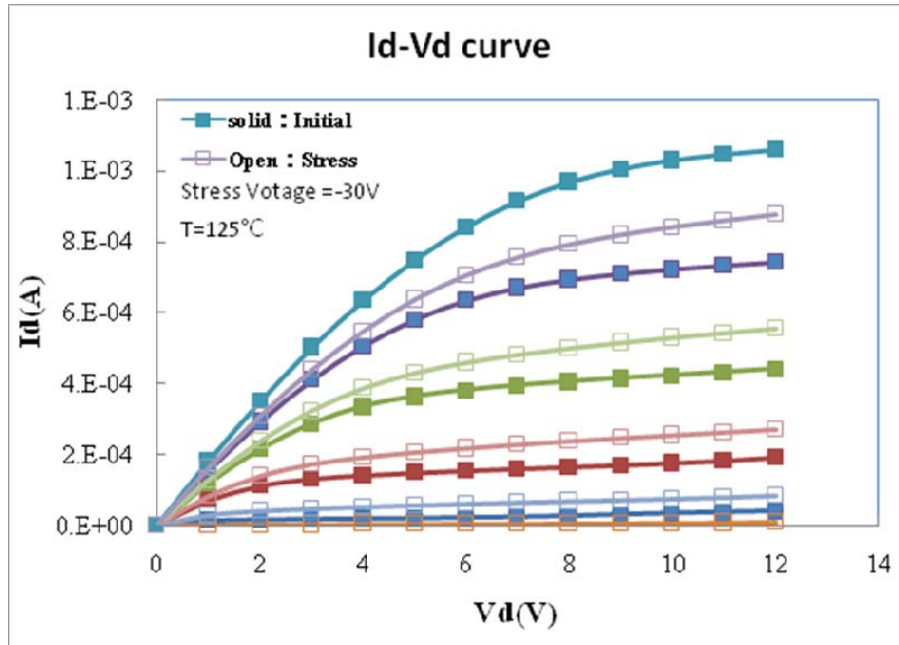


圖 4.35 8-mask I_d - V_d 特性曲線

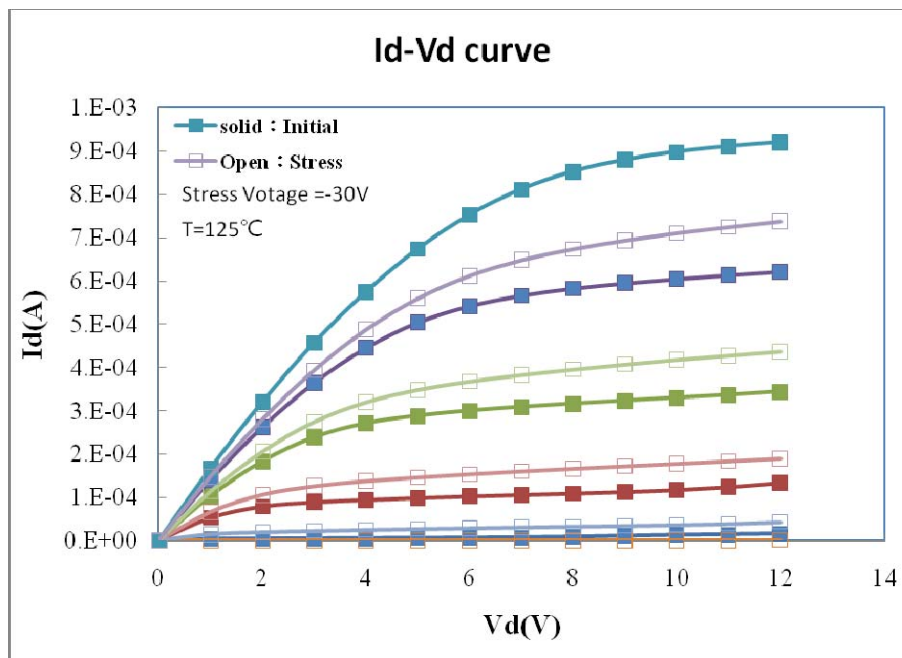


圖 4.36 9-mask I_d - V_d 特性曲線

4.4.2 Id-Vg Transfer Characteristics before and after NBTI Stress

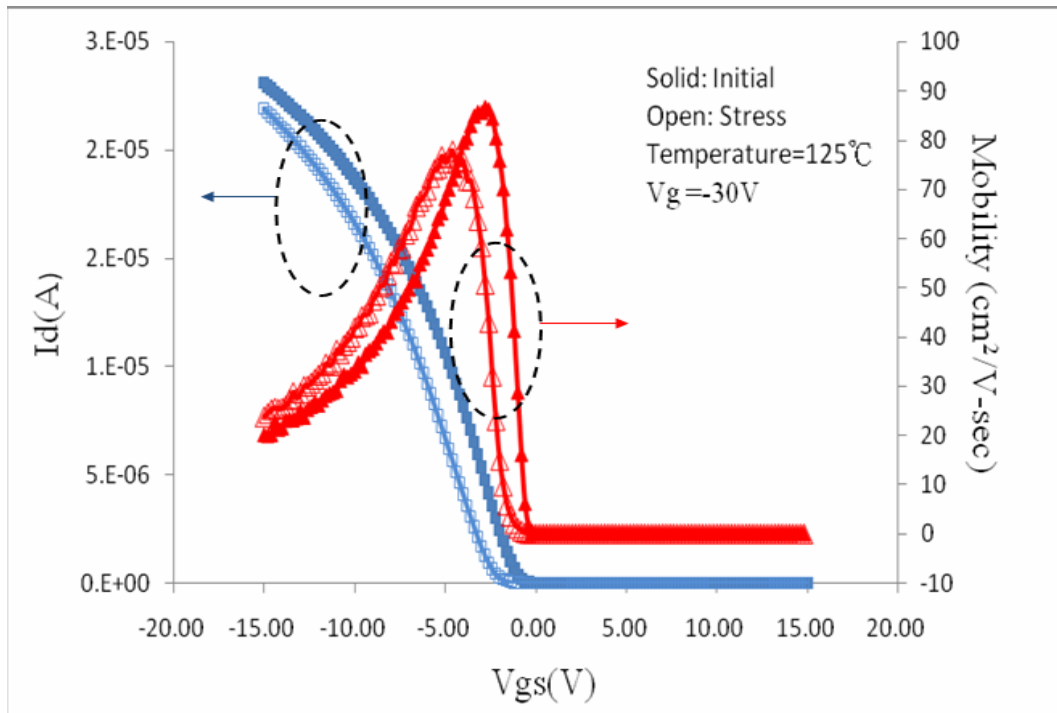


圖 4.37 8-mask Id-Vg 特性曲線

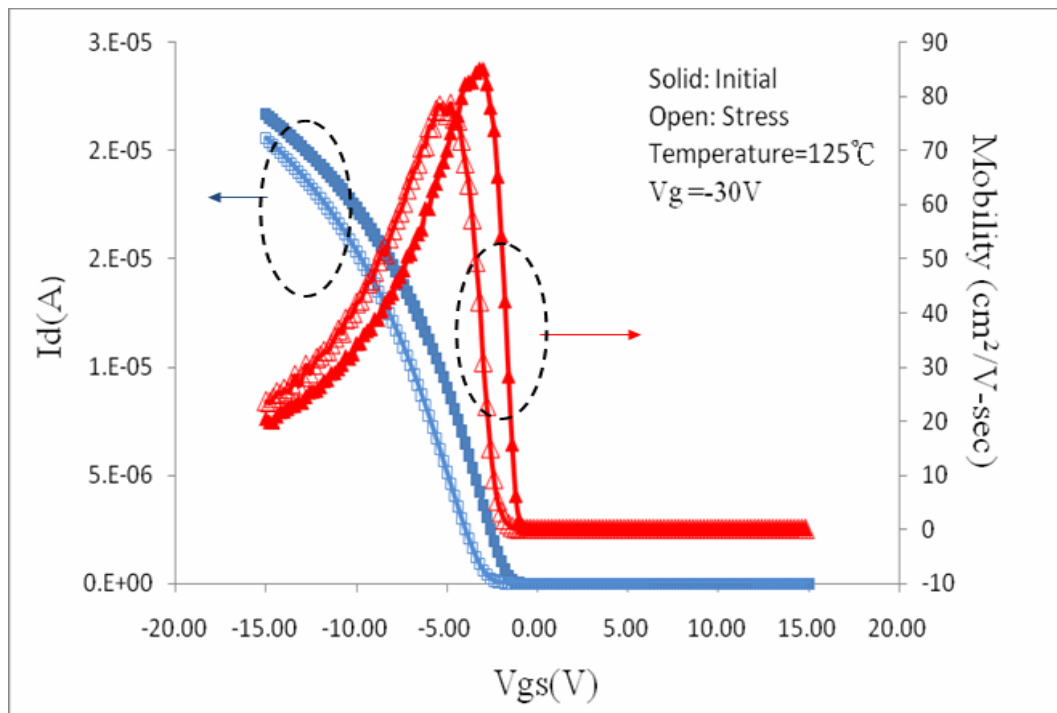


圖 4.38 9-mask Id-Vg 特性曲線

4.4.3 Vth shift V.S. Stress Time

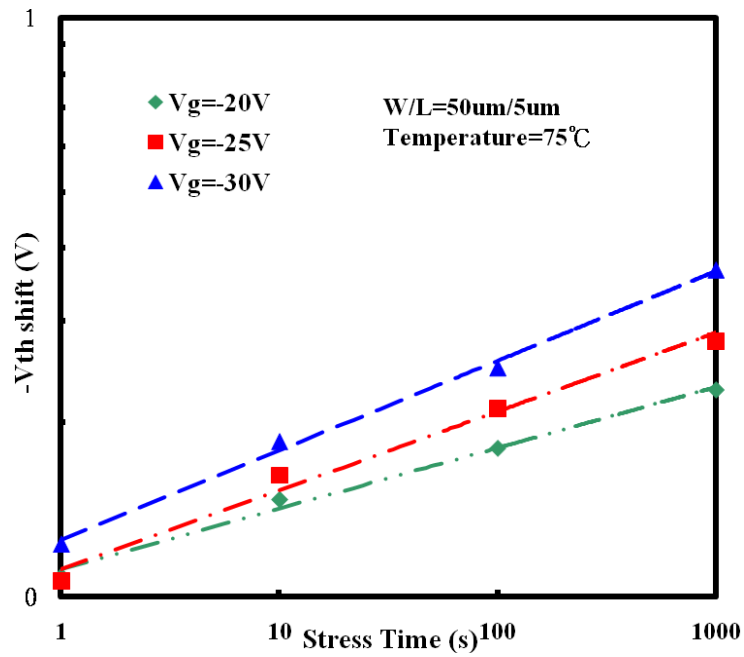


圖 4.39 8-mask Vth shift 對 stress 時間關係

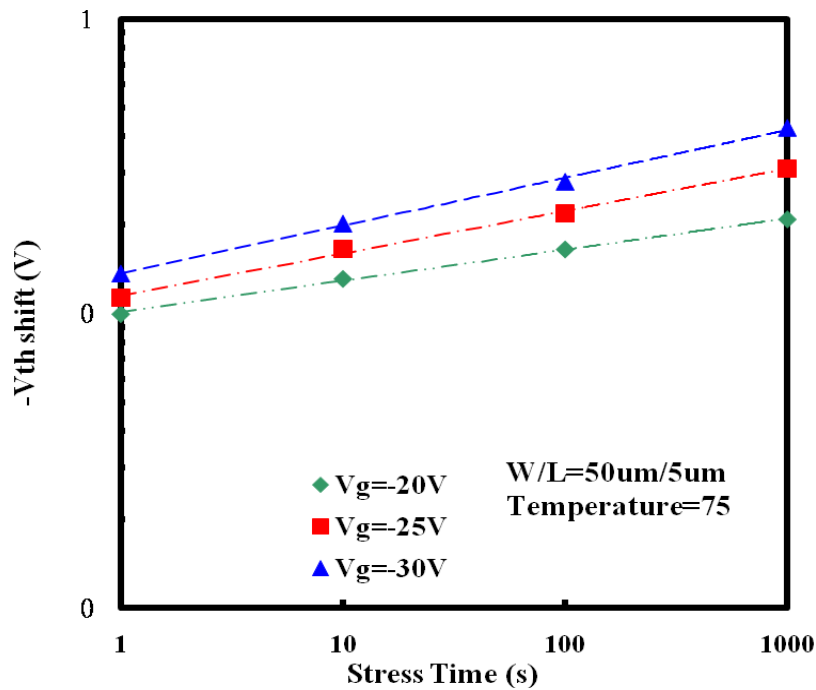


圖 4.40 9-mask Vth shift 對 stress 時間關係

4.4.4 Vth shift V.S. Stress Voltage

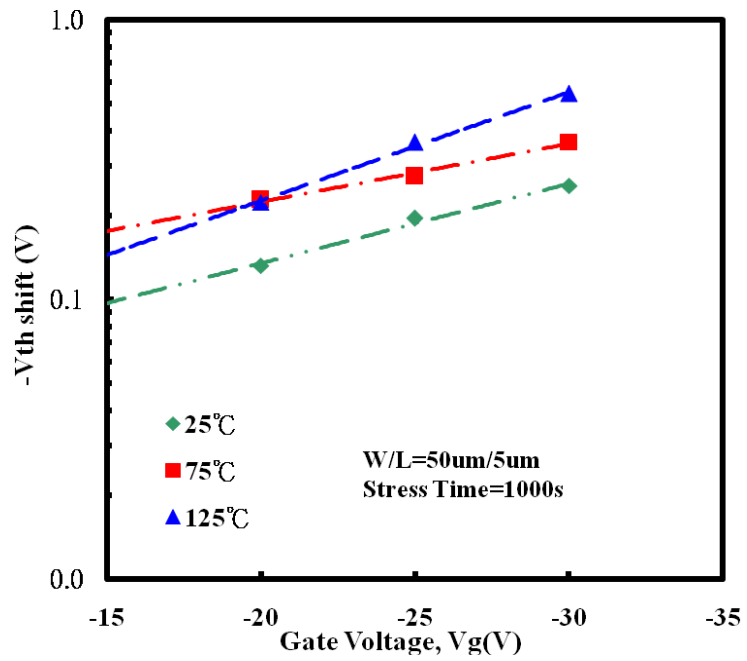


圖 4.41 8-mask V_{th} shift 對 V_g 關係

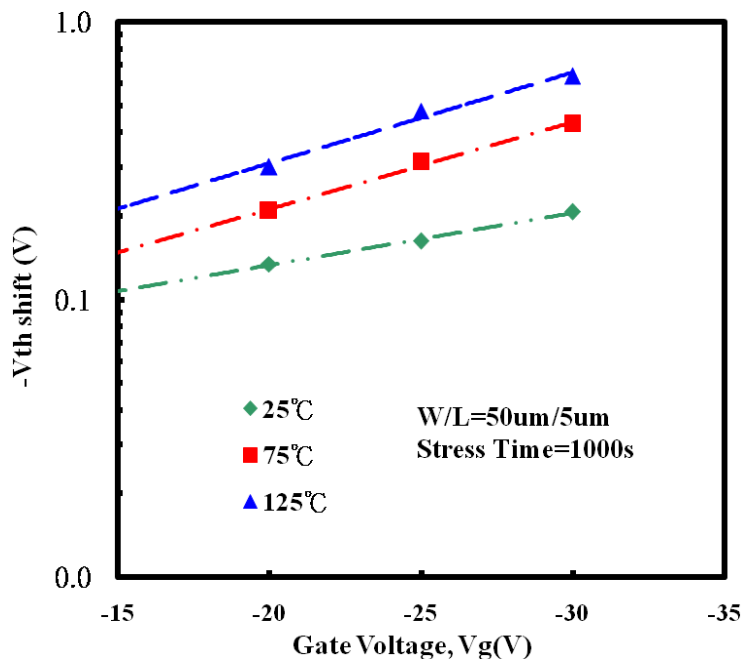


圖 4.42 9-mask V_{th} shift 對 V_g 關係

4.4.5 V_{th} shift V.S. 溫度倒數變化 $1/kT$

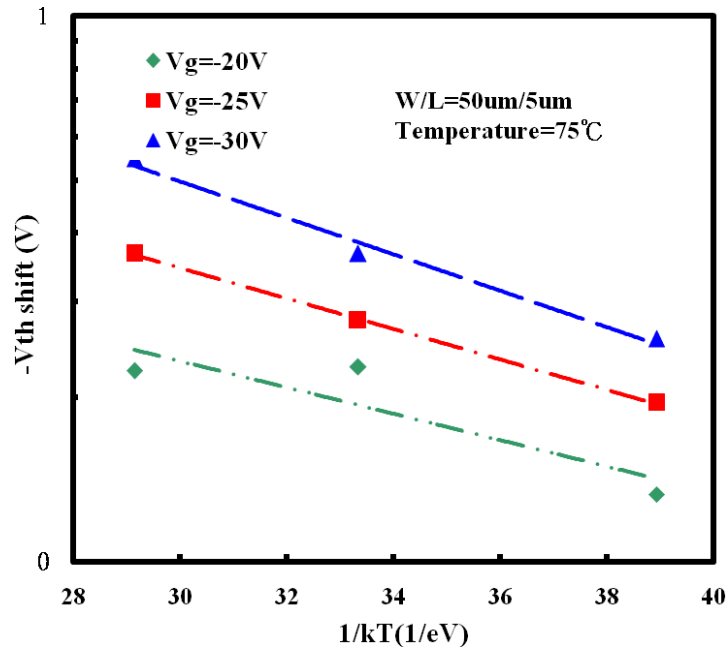


圖 4.43 8-mask V_{th} shift 對 $1/kT$ 關係

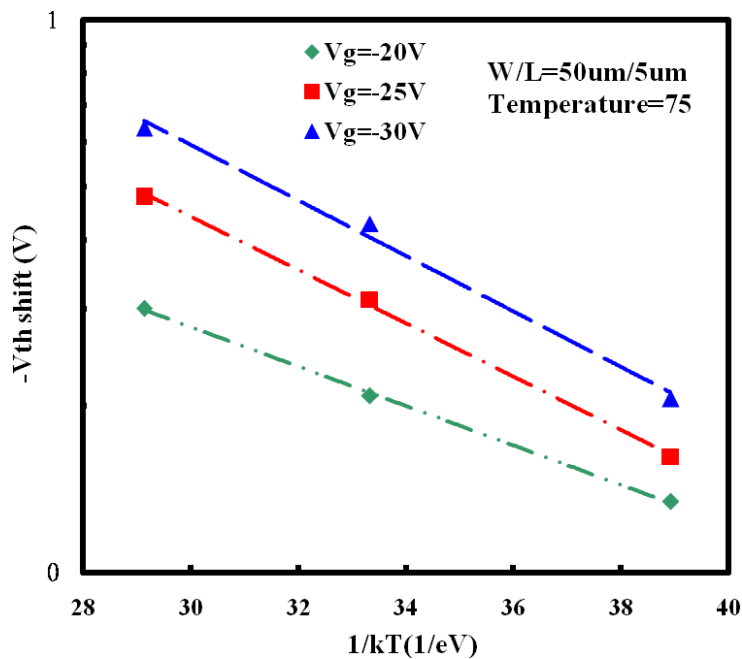


圖 4.44 9-mask V_{th} shift 對 $1/kT$ 關係

由圖 4.35、4.36、4.37、4.38 分別為 8-mask 與 9-mask 製程之 PMOS 元件經過 NBTI stress 之電流輸出與轉換特性曲線圖。Stress 條件為在 $T=125^{\circ}C$ 下 $V_g=-30V$ 時間為 1000 sec，元件尺寸為 $W/L=50/5\mu m$ 。從圖 4.37、4.38 經過 NBTI stress 之後 PMOS 之 V_{th} shift 均朝負的 V_g 電壓方向偏移。圖 4.35、4.36 之經過 NBTI stress 後驅動電流 I_{on} 劣化原因有二：一為 PMOS V_{th} shift；另一個原因為 field effect mobility degradation 所造成。

4.4.6 NBTI MODEL 參數萃取與劣化分析

根據 LTPS-TFT 與 PMOS NBTI model 得到下列關係式，其中 V_{th} 為 V_{th} shift 值， t 、 T 、 V_G 分別為 NBTI stress time、溫度、閘極電壓，而 n , E_a , C 分別為指數常數、活化能與電壓之 fitting 常數。

$$\Delta V_{th} \propto t^n e^{(-E_a/kT)} e^{C|V_G|}$$

由圖 4.39、4.40、4.41、4.42、4.43、4.44 分別為 8-mask 與 9-mask PMOS 製程之 V_{th} shift 對 stress time, stress voltage, stress temperature 之關係。經過 NBTI model 萃取出之常數 n , C , E_a 值分別列在表 4.8 與 4.9。圖 4.39、4.40 呈現出 V_{th} shift 值隨著 stress 時間增加而增加並呈現出指數關係，而不同製程之指數常數 n : 0.11~0.16，亦即 8-mask 與 9-mask 製程之 V_{th} shift 隨著 stress 時間增加的指數關係相近。但是若與文獻之 PMOS LTPS-TFT NBTI model 所得到的 n 值約在 0.28~0.34，可知不論統寶 8-mask 與 9-mask 製程之 PMOS LTPS-TFT 其 NBTI stress 後之 V_{th} shift 程度都較文獻為小。由圖 4.41、4.42、4.43、4.44 呈現出 NBTI degradation 隨著 V_g 電壓與溫度增加而增加，這表示 NBTI degradation 會被電壓與溫度活化。根據圖 4.41、4.42 顯示出萃取之參數 C 約在 0.1~0.21，亦即 8-mask 製程 PMOS 元件 V_{th} shift 值對 V_g 電壓變化的關係大於 9-mask 製程($T=75^\circ\text{C}$ 經過參數萃取求得 C 較小除外)，亦即 C 值的差異與有無 PMOS 通道摻雜製程有關。由圖 4.43、4.44 之 Arrhenius plot 萃取出活化能 E_a ，8-mask PMOS 製程之活化能約在 0.12~0.16 eV，而 9-mask PMOS 製程之活化能約在 0.18~0.25 eV，亦即沒有通道摻雜製程(9-mask)PMOS 元件之活化能較有通道摻雜製程(8-mask)為高。我們也對 8-mask 與 9-mask 製程 NBTI stress 後之 S.S. 與 mobility degradation 程度進行分析，圖 4.45, 4.46 與 4.47, 4.48 分別顯示 8-mask 製程 PMOS 之 mobility 與 S.S. degradation ($V_g = -25\text{ V}$ 除外)均較 9-mask 製程為大，這可能與 8-mask 製程之 PMOS 元件有進行通道摻雜 B_2H_6 造成較低的 activation energy 有關。

表 4.8 8-mask PMOS NBTI model 各參數值之比較

	$V_g = -20\text{V}$	$V_g = -25\text{V}$	$V_g = -30\text{V}$
n	0.11	0.14	0.15
	$T = 25^\circ\text{C}$	$T = 75^\circ\text{C}$	$T = 125^\circ\text{C}$
C	0.21	0.11	0.21
	$V_g = -20\text{V}$	$V_g = -25\text{V}$	$V_g = -30\text{V}$
E_a (eV)	0.16	0.14	0.12

表 4.9 9-mask PMOS NBTI model 各參數值之比較

	$V_g = -20\text{V}$	$V_g = -25\text{V}$	$V_g = -30\text{V}$
n	0.11	0.14	0.16
	$T = 25^\circ\text{C}$	$T = 75^\circ\text{C}$	$T = 125^\circ\text{C}$
C	0.1	0.17	0.17
	$V_g = -20\text{V}$	$V_g = -25\text{V}$	$V_g = -30\text{V}$
E_a (eV)	0.18	0.25	0.25

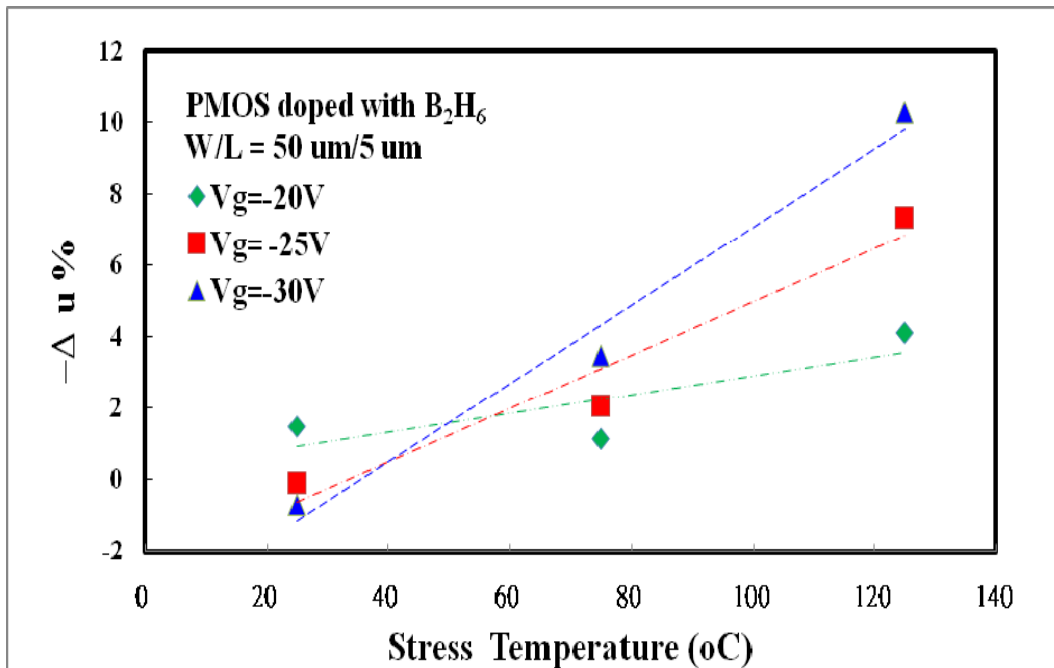


圖 4.45 8-mask -Δu % vs. stress temperature

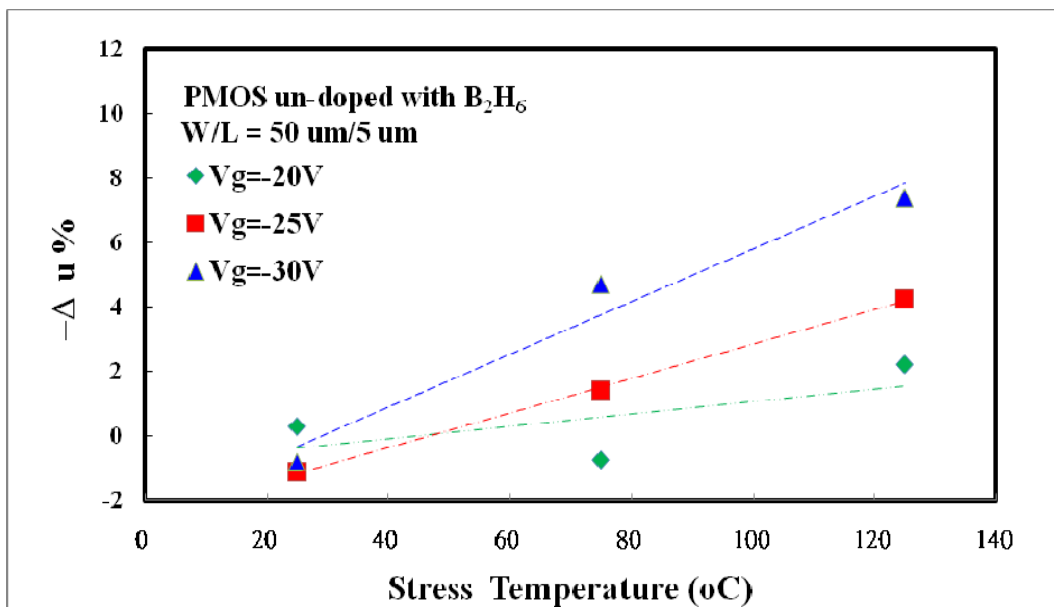


圖 4.46 9-mask -Δu % vs. stress temperature

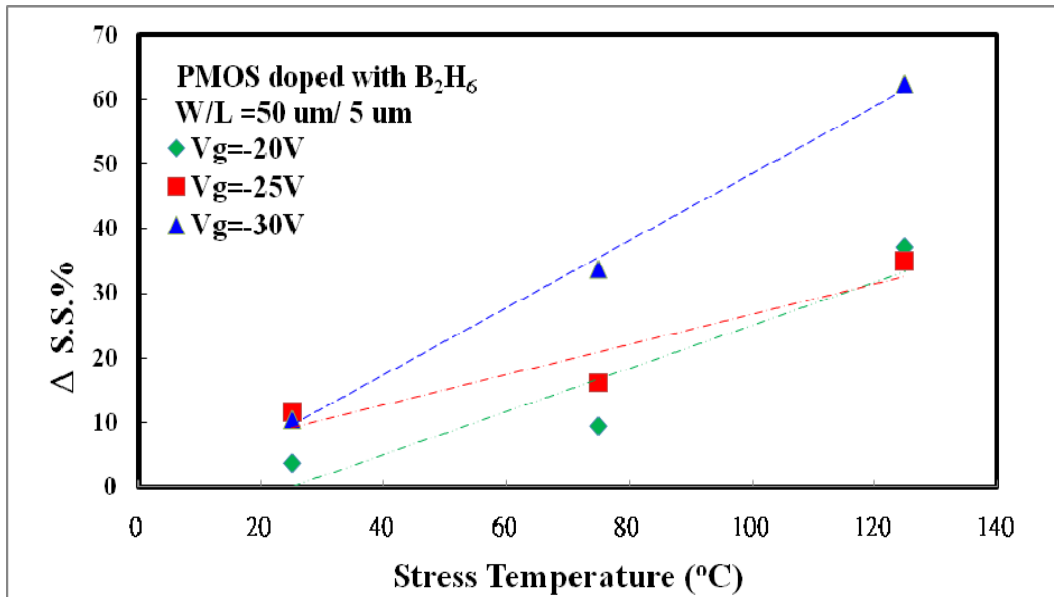


圖 4. 47 8-mask ΔS.S. % vs. stress temperature

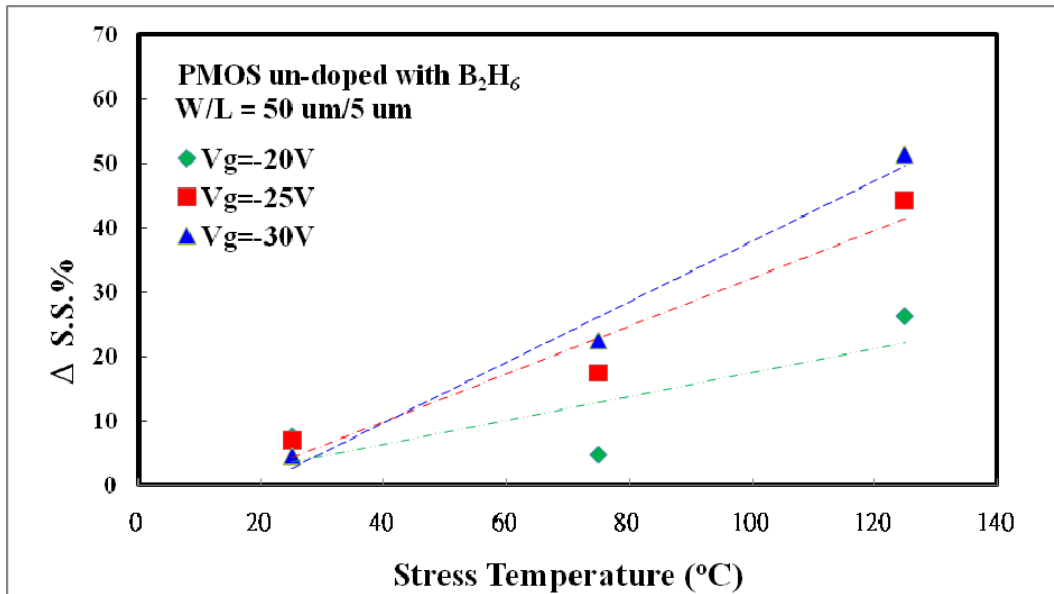


圖 4. 48 9-mask ΔS.S % vs. stress temperature

4.5 低溫多晶矽薄膜電晶體(LTPS TFTs)電性分析-PMOS光可靠度分析

圖 4.49 顯示在 $W/L=5/5$ 、 $V_D=0.1V$ 的條件下照射不同背光與強度下所產生的 ID-VG 特性曲線(ID-VG Compare)，分析圖 4.49、圖 4.50 以及表 4.10，發現 $I_{off}(-10V)$ 明顯的在不同的背光強度照射下，會隨著背光強度增加造成 $I_{off}(-10V)$ 的值愈來愈大，反觀在相似背光強度、不同的背光波長(白、藍、黃綠)下，其變化反而不那麼的明顯，這或許和光子撞擊 P-N 接面(P-N Junction)時會引起電子電洞對(electron-hole pair)有關，帶電的載子會貢獻一部分電流成為普通電流(normal current)造成 $I_{off}(-10V)$ 的值增加。因此，當背光源的背光強度愈來愈強時，造成光子能量(Energy Photon)也隨著愈來愈大，進而影響了 $I_{off}(-10V)$ 隨之增加。

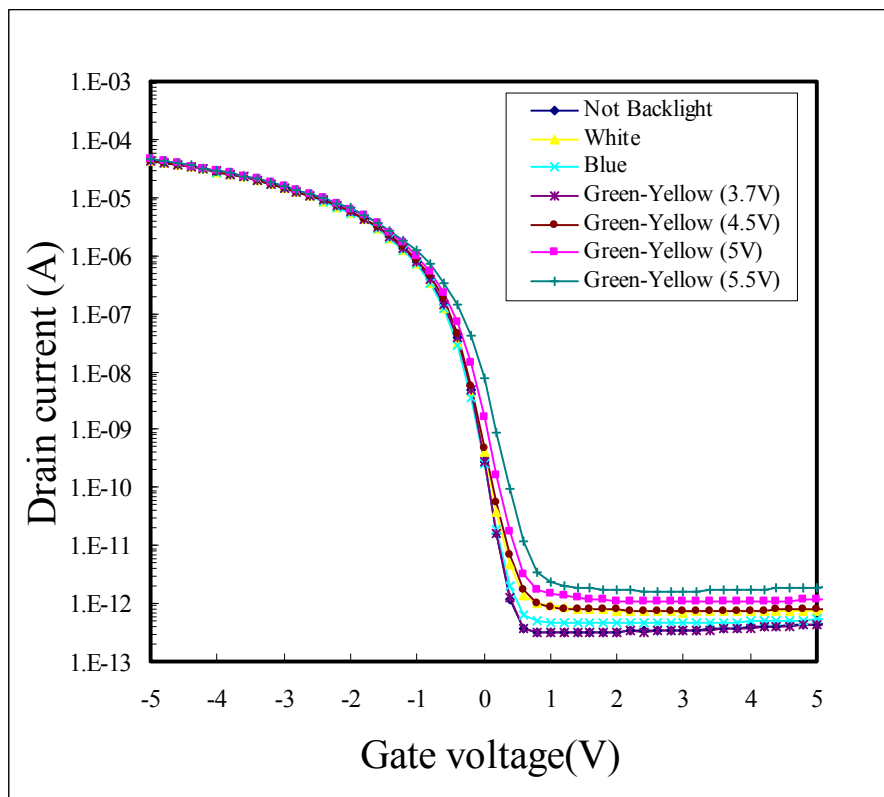


圖 4.49 8-mask PMOS 在各種照光下(黃綠、白、藍)所產生的 ID-VG 比較($W/L=5/5$, $V_D=-10V$)

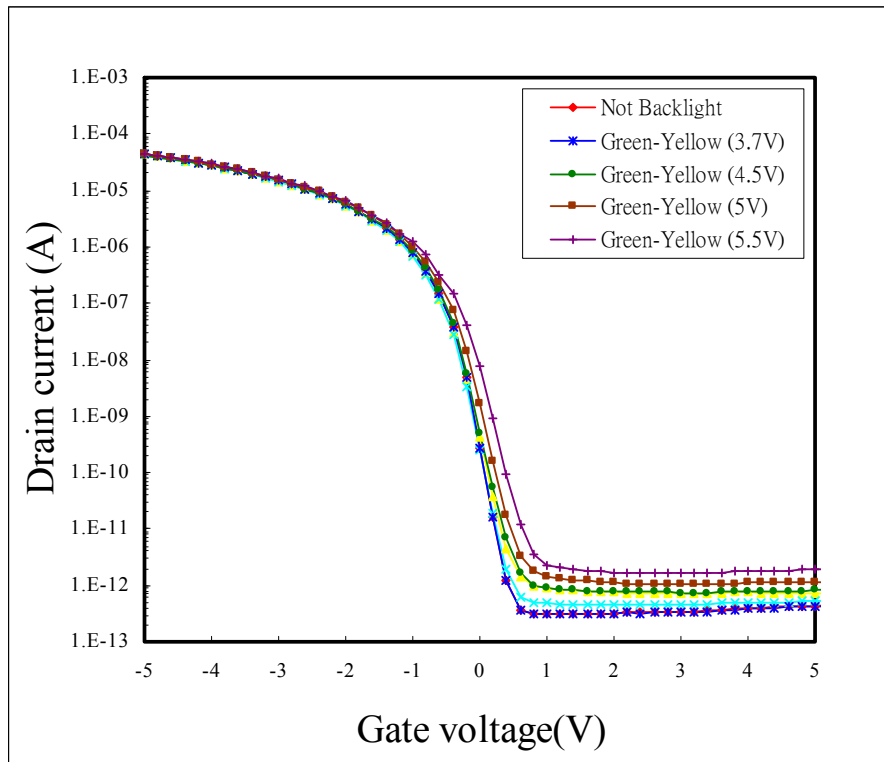


圖 4. 50 8-mask PMOS 無背光與背光 ID-VG (W/L=5/5,VD=-10V), 左下角插圖為其他尺寸 PMOS ID-VG (W/L=5,VD=-10V)

表 4. 10 Backlight related parameters

Backlight	Central Wavelength (nm)	Intensity ($\times 10^6$)(arbitrary units)
Green-Yellow (3.7V)	570.46	1.040
Green-Yellow (4.5V)	573.89	1.349
Green-Yellow (5V)	577.72	1.467
Green-Yellow (5.5V)	581.82	1.570
White	557.73	1.156
Blue	460.34	1.048

圖 4.51 顯示在相同的 W/L，不同 V_G 值($V_D=-0.1V$)下， V_t (Threshold Voltage)也會隨著背光源的光源強度，曲線向正值 shift，這也意味了 V_{th} 愈來愈小，這個推論是合理的。因為 V_{th} 定義在達到反轉狀態時所需要的閘極電壓，當曲線向正值 shift 時，所需的 I_D 反轉點也愈來愈低，因此造成 V_{th} 的下降。這個現象在其他尺寸元件也可觀察到。

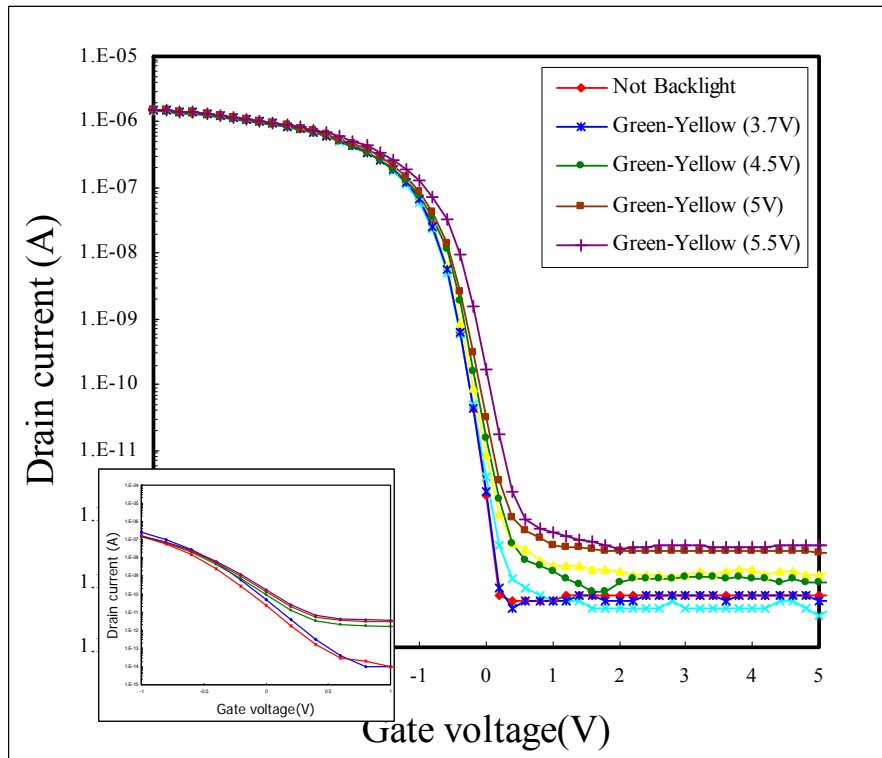


圖 4.51 8-mask PMOS 無背光與背光 ID-VG ($W/L=5/5, V_D=-0.1V$)，左下角插圖為其他尺寸 PMOS ID-VG 比較 $W/L=5, V_D=-0.2V$

比較相同 8 道光罩製程 PMOS 元件(圖 4.52、4.54、4.56、4.58、4.60)，發現各元件尺寸變化發現，以 Green-Yellow (3.7V)所量測到光源強度的數值為基準與其他光源強度比較，當 Threshold Voltage 隨著照光強度向正值 shift 時，Sub-Threshold Swing 會跟著上升，而 Field-Effect Mobility 會跟著變差， $I_{on}(-10V)$ 下降， $I_{off}(-10V)$ 跟著上升，而將觀點拉到元件尺寸的比較，尺寸(L)愈大的元件，Threshold Voltage shift 的程度也相對的愈大，而 Sub-Threshold Swing、Field-Effect Mobility、 $I_{on}(-10V)$ 及 $I_{off}(-10V)$ 卻是尺寸(L)愈小隨著背光強度增加變化率愈大，其次，再對 8 道光罩製程 PMOS 及 9 道光罩製程 PMOS 元件各參數做比較(圖 4.52 ~4.61)，Threshold Voltage 的 shift 變化率，8 道光罩製程與 9 道光罩製程相比，其 V_{th} 的 shift 程度，8 道光罩比 9 道光罩製程變化更來的大，原因則為 8 道光罩製程方式其主要是省略 Channel Doping Mask，並直接將 B2H6 劑量摻雜到 PMOS 的通道中，使得基板在背光源的照射下，更多載子電流的移動，連帶的造成 V_{th} shift 的變化更大。

除了 Sub-Threshold Swing 的變化則是 8 道光罩比 9 道光罩來的低，而 Field-Effect Mobility、 $I_{on}(-10V)$ 以及 $I_{off}(-10V)$ 的變化，比較 8 道製程及 9 道製程之變化差異都不大(8 道光罩製程較 9 道光罩製程略高一些)，但值得注意的是，無論是 8 道光罩製程或 9 道光罩製程，小尺寸元件($W/L=50/3.6$)都是在不同背光強度下，變化最大的，因此對 PMOS 元件而言，元件尺寸(L)愈小對背光強度之變化率愈高。

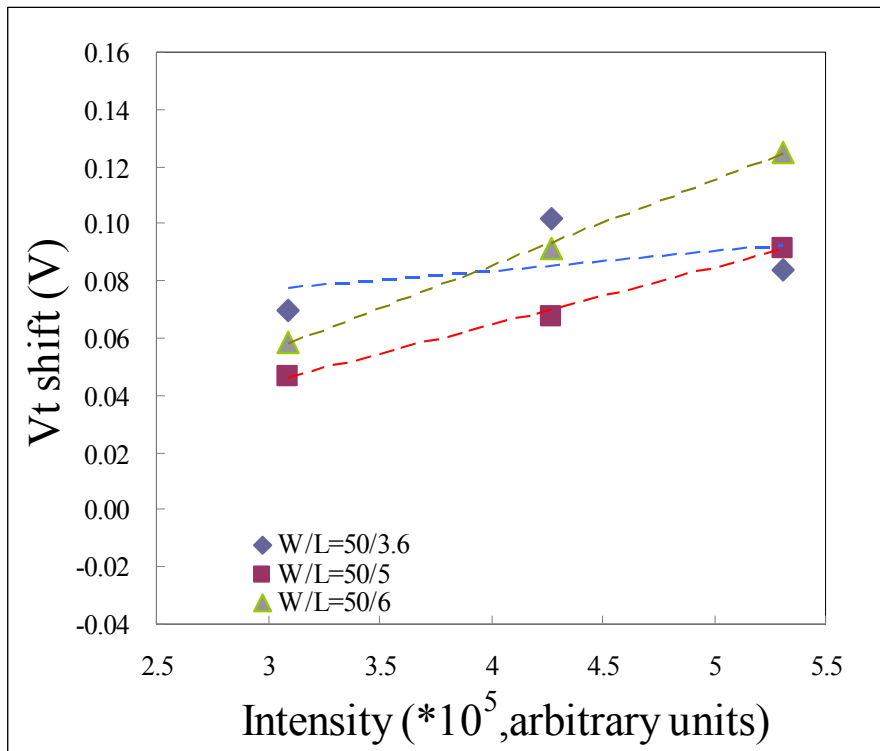


圖 4.52 8-mask PMOS V_{th} shift (V)，以黃綠背光板(3.7V)量測 V_{th} 為基準

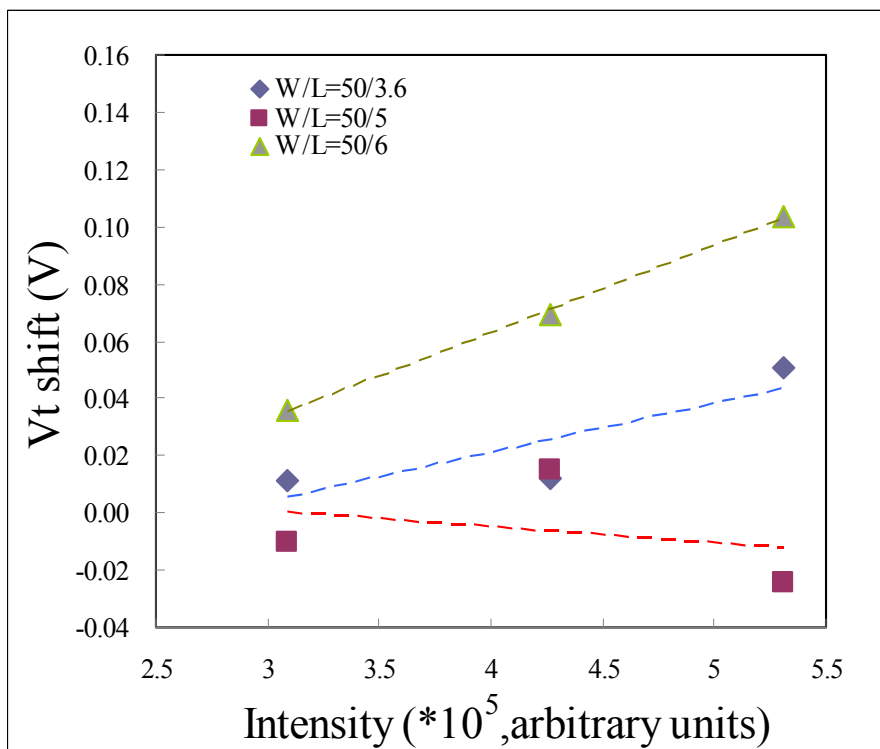


圖 4.53 9-mask PMOS V_{th} shift (V) 以黃綠背光板(3.7V)量測 V_{th} 為基準

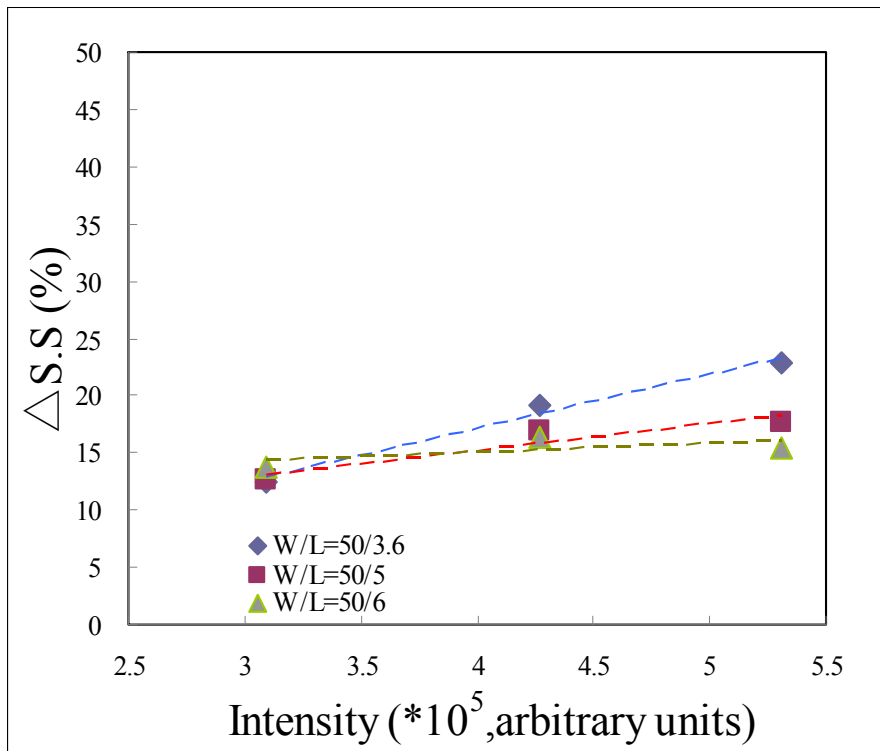


圖 4. 54 8-mask PMOS Δ S.S (%)，以黃綠背光板(3.7V)量測 S.S 為基準

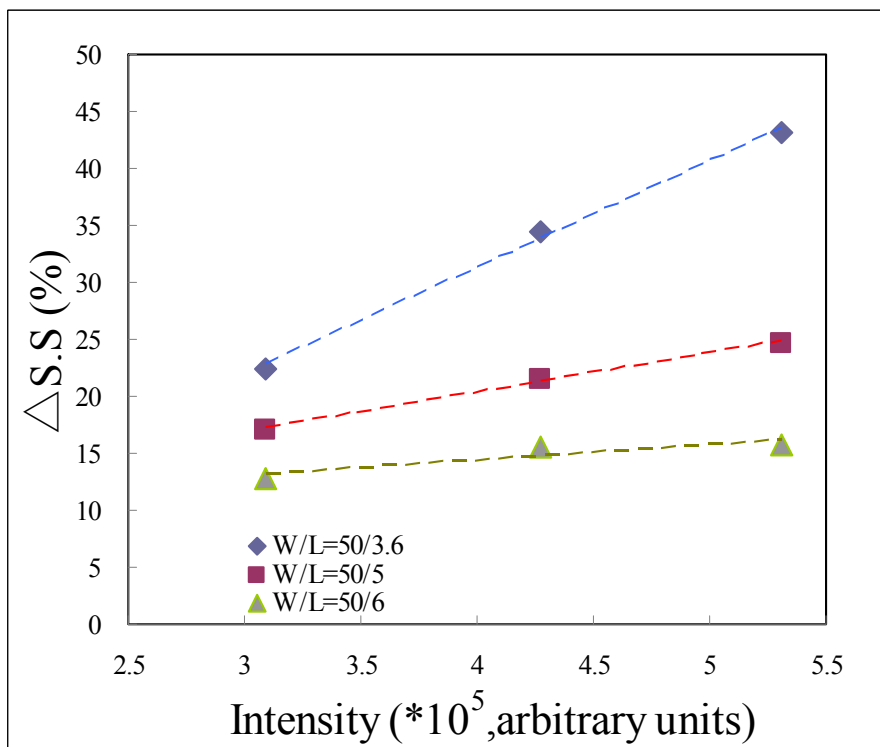


圖 4. 55 9-mask PMOS Δ S.S (%)，以黃綠背光板(3.7V)量測 S.S 為基準

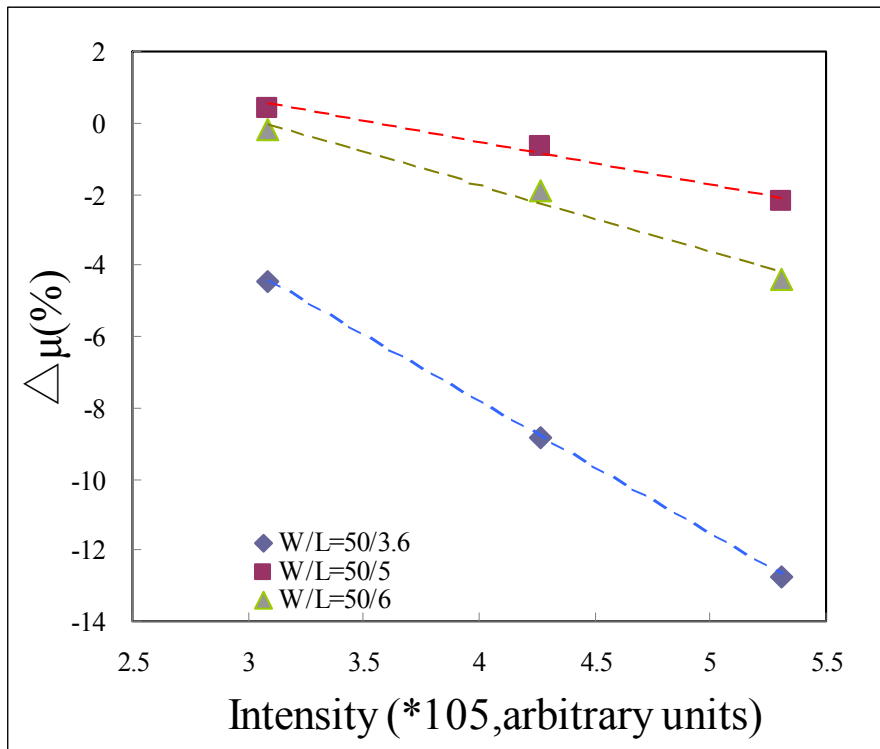


圖 4.56 8-mask PMOS $\Delta\mu$ (%)，以黃綠背光板(3.7V)量測 μ 為基準

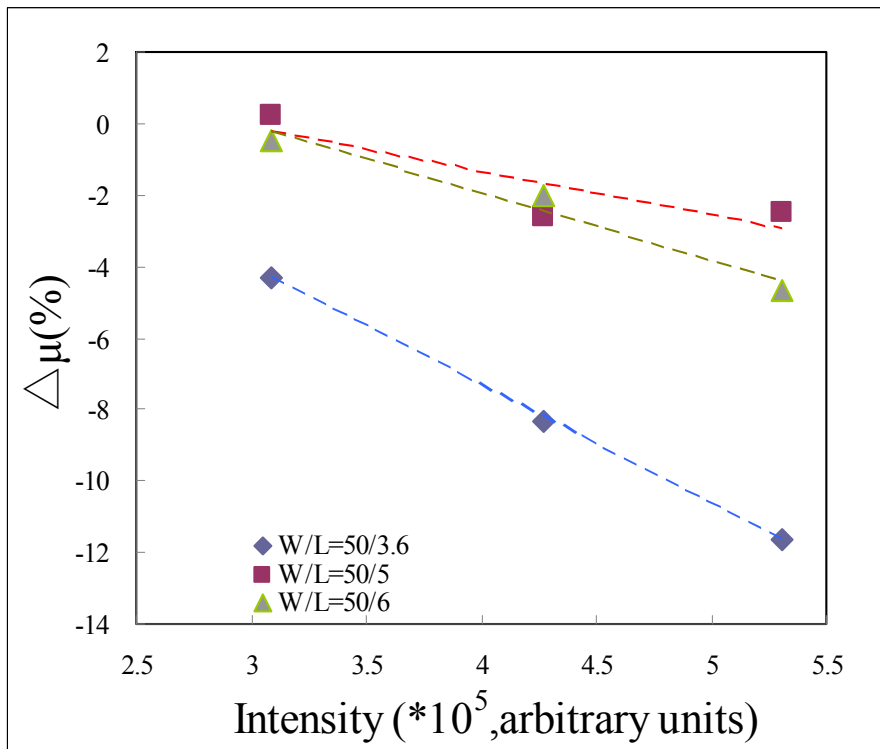


圖 4.57 9-mask PMOS $\Delta\mu$ (%)，以黃綠背光板(3.7V)量測 μ 為基準

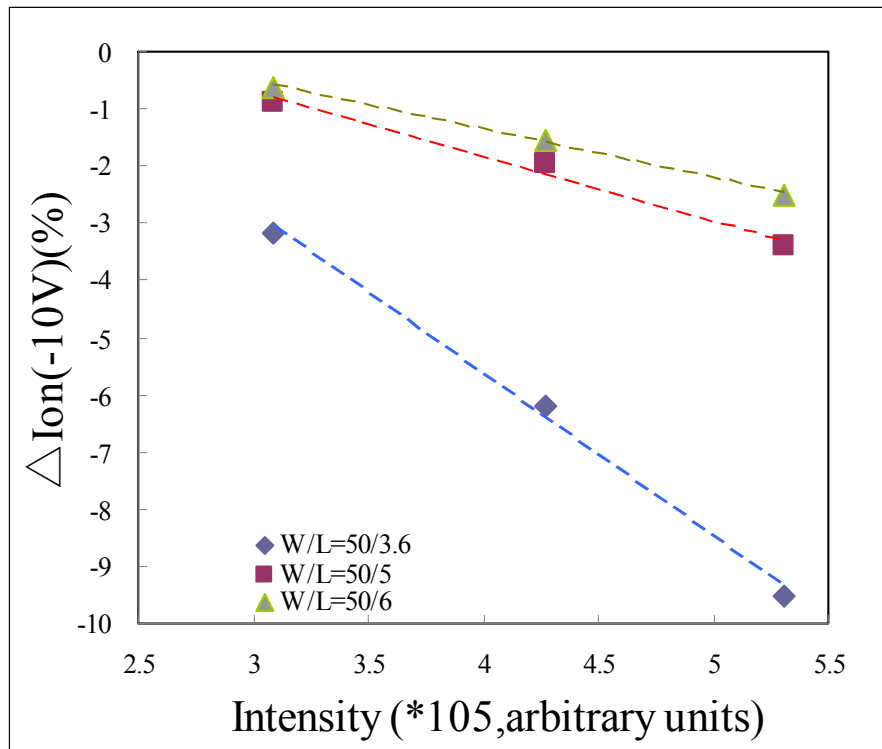


圖 4. 58 8-mask PMOS $\Delta I_{on}(-10V)$ (%), 以黃綠背光板(3.7V)量測 $I_{on}(-10V)$ 為基準

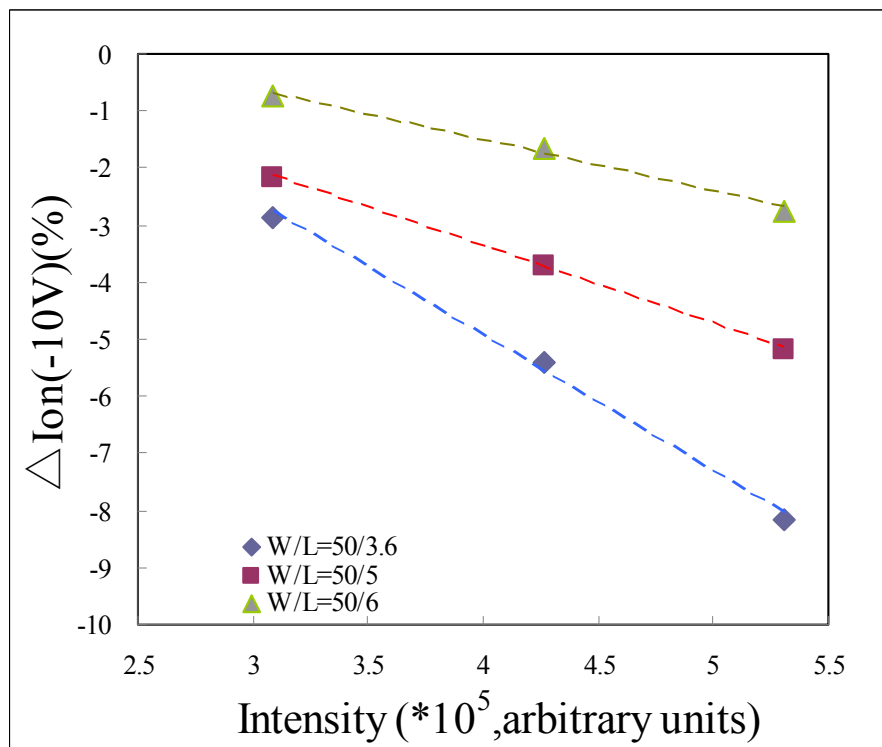


圖 4. 59 9-mask PMOS $\Delta I_{on}(-10V)$ (%), 以黃綠背光板(3.7V)量測 $I_{on}(-10V)$ 為基準

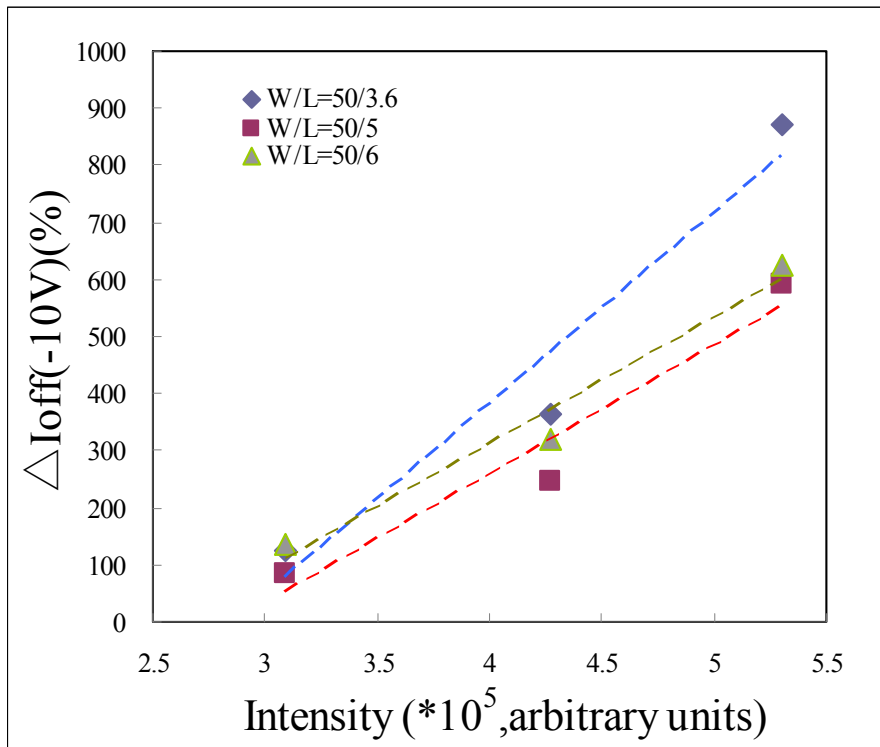


圖 4. 60 8-mask PMOS $\Delta I_{off}(-10V)$ (%), 以黃綠背光板(3.7V)量測 $I_{off}(-10V)$ 為基準

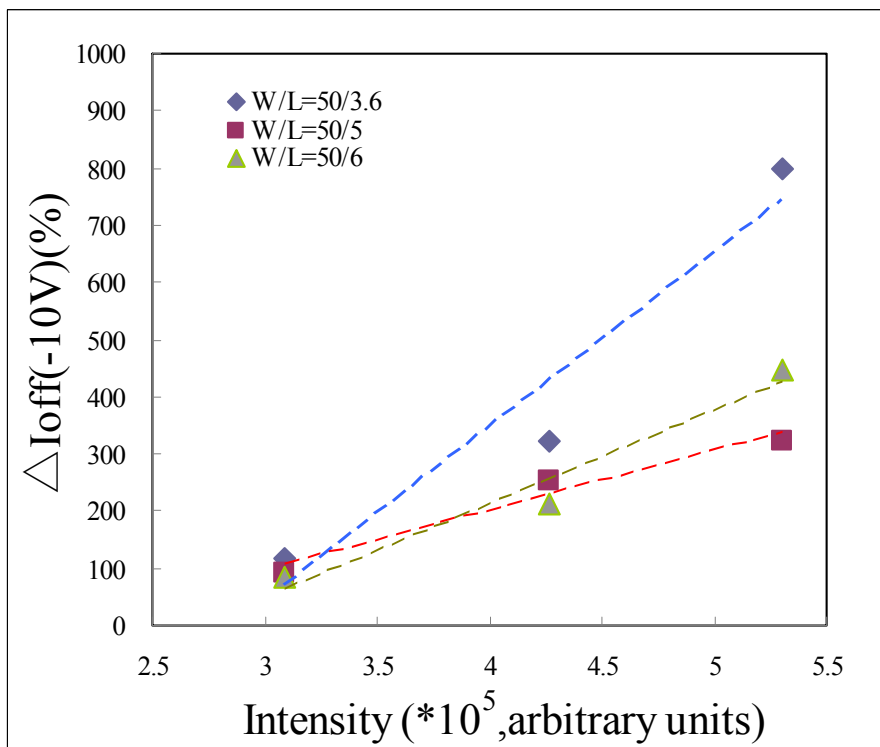


圖 4. 61 9-mask PMOS $\Delta I_{off}(-10V)$ (%), 以黃綠背光板(3.7V)量測 $I_{off}(-10V)$ 為基準

再者，將所量測到的 I_D - V_D 數據，透過數值處理， $J_D(A/cm^2) = \frac{I_D}{W \cdot T} = \frac{I_D}{W \cdot 430 \text{Å}}$ ，以 J_D - V_D (Current

Density - Drain Voltage)方式顯示曲線變化，曲線如圖 4.62 及圖 4.63 所示。我們在小尺寸($W=5$)元件的 J_D - V_D 曲線發現一些振盪漣波 (Oscillation Ripple)現象，但在圖 4.63 ($W=50$) 時，卻發現不到此現象。原因可能是小尺寸(W)元件，容易產生載子覆合的現象，因此造成振盪漣波的現象。此外，比較 4.62 及 4.63 發現，當元件尺寸(W)越大(L 相同) 時， J_D shift 的變化程度越大，進而可以推斷， J_D shift 與 W 有關，而與 L 無關。其次，做 8 道製程及 9 道光罩製程的分析(圖 4.64、4. 65)，發現 8 道光罩製程的 PMOS J_D shift 程度，比 9 道光罩製程的 PMOS J_D shift 程度還來的大的許多，可見在 8 道光罩製程裡，直接摻雜 B2H6 劑量，對 J_D 同樣具有影響。

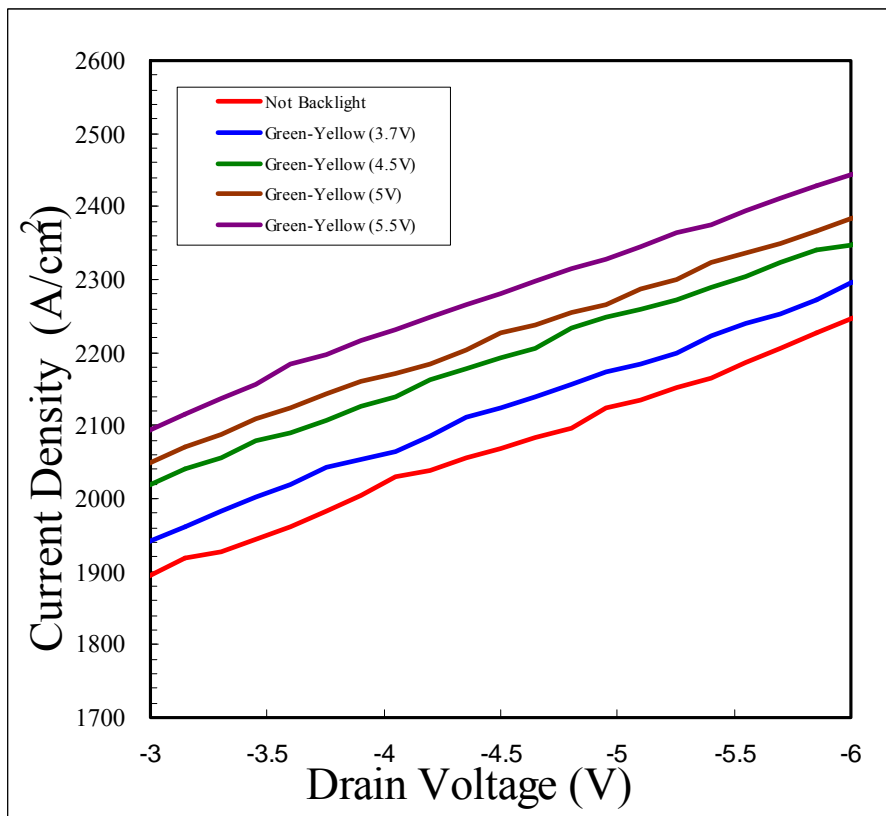


圖 4. 62 8-mask PMOS 無背光與背光 J_D - V_D ($W/L=5/5, V_G=-2V$)，具有振盪漣波現象

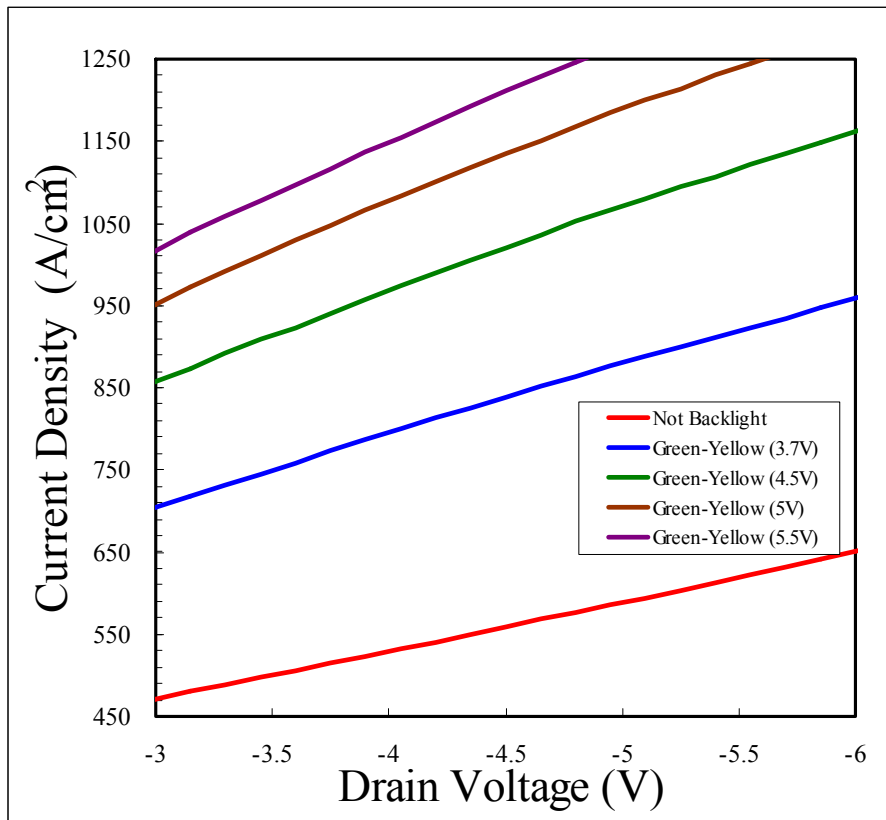


圖 4.63 8-mask PMOS 無背光與背光 JD-VD ($W/L=50/5, V_G=-2V$)，不具有振盪漣波現象

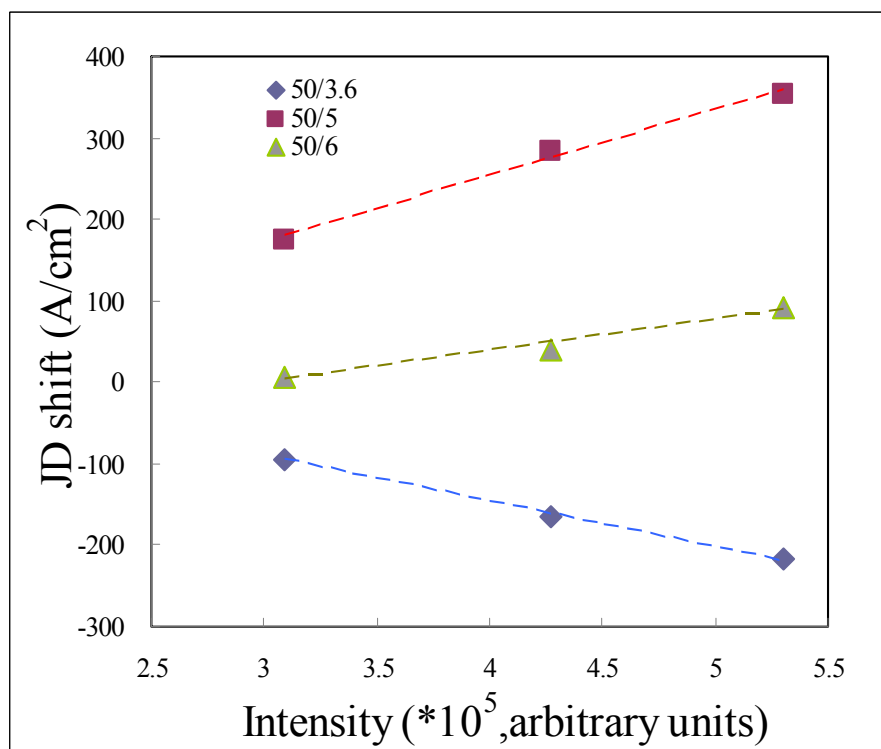


圖 4.64 8-mask PMOS JD shift (A/cm²)，以黃綠背光板(3.7V)量測 JD 為基準

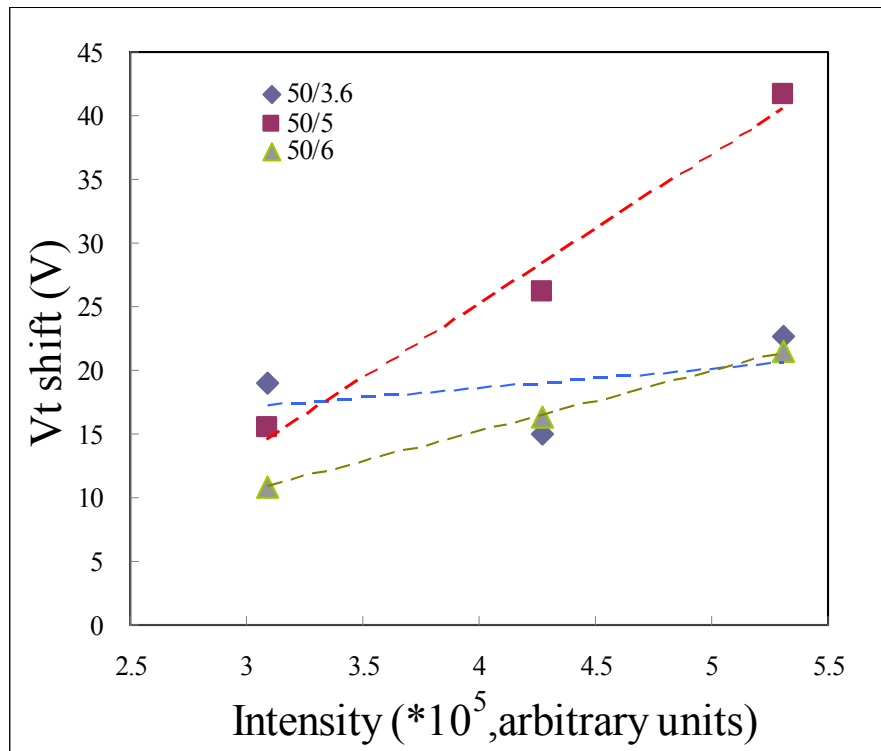


圖 4. 65 9-mask PMOS JD shift (A/cm^2), 以黃綠背光板(3.7V)量測 JD 為基準

5. 結論

在溫度變化對 8-mask 與 9-mask 製程的 NMOS 元件電性 mobility、Ion、Ioff degradation 對溫度之劣化程度 8-mask 較 9-mask 製程為低，而 V_{th} shift (向負值偏移)、SS degradation 都隨著溫度增加而增加，而不同製程與元件隨著溫度變化相近。在溫度變化對 8-mask 較 9-mask 製程之 PMOS 元件在不同尺寸之 mobility degradation 程度為低，而不同製程與元件尺寸 V_{th} shift 隨著溫度上升而增加(向正值偏移)，其餘特性劣化程度相近。

8-mask 與 9-mask PMOS 製程之 V_{th} shift 對 stress time、stress voltage、stress temperature 之關係，由 P-type TFT 的 NBTI model 參數萃取後得知 n: 0.11~0.16，亦即 8-mask 與 9-mask 製程之 V_{th} shift 隨著 stress 時間增加的指數關係相近。但是若與文獻之 PMOS LTPS-TFT NBTI model 所得到的 n 值約在 0.28~0.34，可知不論統寶 8-mask 與 9-mask 製程之 PMOS LTPS-TFT 其 NBTI stress 後之 V_{th} shift 程度都較文獻為小。參數 C 約在 0.1~0.21，亦即 8-mask 製程 PMOS 元件 V_{th} shift 值對 V_g 電壓變化的關係大於 9-mask 製程($T=75^\circ\text{C}$ 經過參數萃取求得 C 較小除外)，亦即 C 值的差異與有無 PMOS 通道摻雜製程有關。由 Arrhenius plot 萃取出活化能 E_a ，8-mask PMOS 製程之活化能約在 0.12~0.16 eV，而 9-mask PMOS 製程之活化能約在 0.18~0.25 eV，亦即沒有通道摻雜製程(9-mask)PMOS 元件之活化能較有通道摻雜製程(8-mask)為高，而 8-mask 製程 PMOS 之 mobility 與 S.S. degradation ($V_g = -25\text{ V}$ 除外)均較 9-mask 製程為大，這可能與 8-mask 製程之 PMOS 元件有進行通道摻雜 B_2H_6 造成較低的 activation energy 有關。

PMOS 的光漏電流 (Photo Leak Current)是隨著照光的強度，而不是與波長改變，如此可以推得，當 TFT 的背光過強時，會造成光漏電流 (Photo Leak Current)上升，進而影響到影像的品質和許多不必要的功率消耗。這個問題，對於目前元件尺寸愈做愈小的現在，這類的問題也變的更加的重要，如何找出適當的背光強度，即能使 TFT LCD 能正常的顯示影像，卻又不影響影像的品質，是值得再深入探討的問題。比較 9 道光罩製程，8 道光罩製程方式其主要是省略 Channel Doping Mask，並直接將 B_2H_6 劑量摻雜到 PMOS 的通道中，使得基板在背光源的照射下，更多載子流的移動，連帶的造成 V_{th} shift 的變化更大、Field-Effect Mobility、Ion(-10V)以及 $I_{off}(-10V)$ 變化較 9 道光罩製程 PMOS 來得大。

6. 參考文獻

1. E. Li, E. Rosenbaum, L. F. Register, J. Tao, and P. Fang “Hot carrier induced degradation in deep sub-micron MOSFET in 100oC,” in Proc. IRPS, 2000, pp.103-107.
2. Y. Tour and T.H. Ning, Fundamentals of Modern VLSI Devices, vol. 123. Cambridge, U. K., Cambridge Univ. Press, 1998.
3. E. Takeda and N. Suzuki, “ An empirical model for device degradation due to hot carrier injection,” IEEE Electron Device Lett., vol. EDL-4, no.4, pp.111-113, Apr. 1983.
4. P. Heremans, R. Bellens, G. Groeseneken, and H. E. Maes, “ Consistent model for the hot –carrier degradation in n-channel and p-channel MOSFETs,” IEEE trans. Electron Devices, vol. 35, no. 12, pp2194-2209, Dec, 1988.
5. Y. Uraoka, T. Hatayama, T. Fuyuki, T. Kawamura, and T. Tsuchihashi, “Analysis of hot carrier effects in low temperature poly-Si TFTs using device simulator,” in Proc. IEEE Int. Conf. Microelectronics. Test Struct., 2001, pp.251-256.
6. E. X. Zhao, J. Chan, J. Zhang, A. Marathe, and K. Taylor, “Bias and temperature dependent hot-carrier characteristics of sub-100 nm partially depleted SOI MOSFETs,” in Proc. IEEE Int. Integr. Reliab. Workshop final report, 1999, pp. 113-115.
7. T. Yoshida, K. Yoshino, M. Takei, A. Hara, N. Sasaki, and T. Tsushiya, “Experimental evidence of grain-boundary related hot-carrier degradation mechanism in low temperature poly-Si TFTs,” in IEDM Tech. Dig., 2003, pp.219-222.
8. N. A. Hastas, C. A. Dimitriadis, J. Brini, and G. Kamarinos, “ Hot carrier induced degradation in short p-channel non-hydrogenated poly-Si TFTs,” IEEE Trans. Electron Devices, vol. 494, no 9, pp. 1552-1557, Sep. 2002.
9. C. E. Balt, E. H. Nicollian, and E. H. Poinderexter, “Mechanism of negative-bias-temperature-instability,” J. Appl. Phys. Vol. 63, no. 3, pp.1712-1720, Feb, 1991.
10. S. Ogawa and N. Shiono, “ Generalized diffusion-reaction model for the low-field charge-buildup instability at the Si-SiO₂ interface, ”Phys. Rev. B. Condens. Matter, vol. 51, no. 7, pp. 4218-4230, Feb. 1995.
11. D. K Schroder and J. A. Babcock, “ Negative bias temperature instability: Road to cross in deep sub-micron silicon semiconductor manufacturing, “J. Appl. Phys., vol. 94, no. 1, pp. 1-18, Jul. 2003.
12. Suzuki, K. Takeuchi, F. Ebiko, Y. Chida, M. Sasaki, N. “Analytical Photo Leak Current Model of Low Temperature CW Laser Lateral Crystallization,” Electron Devices Meeting, 2004 IEDM Technical Digest. IEEE International, pp.785- 788 .
13. M.C. Wang, Z.Y. Hsieh, C. Chen, Y.T. Lin, C.H. Tu, S.Y. Chen, H.S. Huang “Verification of Visible-Light Impact on CLC Poly-Si n-TFT Device ,”Meet. Abstr. Electrochem. Soc. 802, 2269 (2008).

7. 附錄

附錄一 : IEDMS conference paper

Cover page:

This work was supported by the TPO Displays Corporation, Miao-Li 350, Taiwan, R.O.C. under Contract No. 200801-111.

Yih-Shing Lee is with Department of Optoelectronic System Engineering, Mingshin University of Science & Technology, 1 Hsin -Hsing Road, Hsin-fong, Hsin-Chu, Taiwan, 30401, R.O.C., Tel: 886-3-5593142-3383, Fax: 886-35593142-3388, e-mail: yslee@must.edu.tw

Chen-Jung Su is with Institute of Electronics, Mingshin University of Science & Technology, Hsin-fong, Hsin-Chu, Taiwan, 30401, R.O.C.

H. Y. Luo, Jack Tsai, and Antonia Ye are with TPO Displays Corporation, Miao-Li 350, Taiwan, R.O.C.

The effects of NTBI studies of P-type Low-Temperature Polycrystalline Silicon Thin-Film Transistors by adjusting the channel doping dosage

Keywords : P-Type Low-temperature Poly-silicon Thin Film Transistor, Channel Doping, Device Reliability Test, Degradation Mechanism

Low-temperature poly-Si (LTPS) thin film transistors (TFTs) have attracted much attention for AMLCD and AMOLED. Application due to their high mobility and capability of realizing integrated circuits on glass. Introducing LTPS-TFT technology into TFT-LCD products can reduce materials cost, simple design, product reliability, and development cycle time. The reliability issues of LTPS-TFTs are special importance in practical application. In this paper, we proposed to investigate the device characteristics, e.g. V_{th} shift, sub-threshold swing degradation and reliability test of PMOS devices by adjusting the channel doping dosage. The effects of negative bias temperature instability (NTBI) will be conducted in the reliability test. This study will be focused on current-voltage transfer curve characteristics to investigate the degradation mechanism of PMOS device after DC stress for different doping dosages.

Fig.1 (a) and (b) shows the transfer characteristics of the PMOS devices prepared by doped with B_2H_6 and without B_2H_6 inside the channel of LTPS TFT. From Fig.1, it is observed that the threshold voltage shifts to the negative direction after the NBTI stress. Fig. 2, 3, 4 (a) and (b) shows the dependence of the threshold-voltage shift on the stress time, stress voltage, and stress temperature of the devices doped with B_2H_6 and without B_2H_6 , respectively. The behavior of the threshold-voltage shift can be empirically modeled as $|\Delta V_{th}| \propto t^n e^{(-E_a/kT)} e^{C|V_g|}$, where the exponent factor n is around 0.11~0.16 among the doped and un-doped with B_2H_6 . In Fig. 3, 4 (a) and (b), it is found the NBTI degradation is enhanced at higher stress voltage or stress temperature, demonstrating that the NBTI can be electrically and thermally activated. The parameters C extracted from Fig.2 and 3 (b) is between 0.1 and 0.21, which is dependent on the channel doping process or not. V_{th} shift absolute value of PMOS devices doped with B_2H_6 shows the stronger relationship with the stress voltage, V_g than the values of the un-doped devices. The activation energy, E_a extracted Arrhenius plots of Fig.2 and 3 (c) of the devices doped with and without B_2H_6 show around 0.12~0.16 eV and 0.18~0.25 eV, respectively. Table.1 shows the summary of parameters extracted from the NBTI model of PMOS devices doped with and without B_2H_6 . Un-doped PMOS devices possess higher activation energy than the PMOS devices doped with B_2H_6 . The sub-threshold swing (S.S.) and mobility degradation of PMOS devices doped and un-doped with B_2H_6 after NBTI stress were investigated. It reveals that the doped devices had worse S.S. degradation than the un-doped devices, except the stress voltage, V_g at -25V. The doped devices had worse mobility degradation than the un-doped devices. It reveals that PMOS devices doped with B_2H_6 has lower activation energy extracted Arrhenius plots than the un-doped devices. Therefore, the doped PMOS devices show worse S.S and mobility degradation than the un-doped devices.

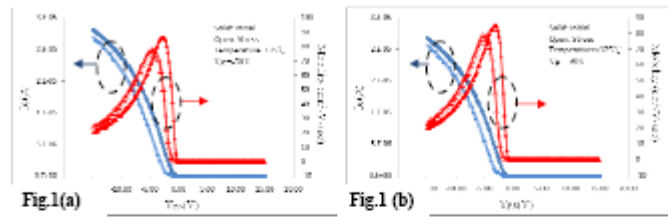


Fig.1(a)

Fig.1(b)

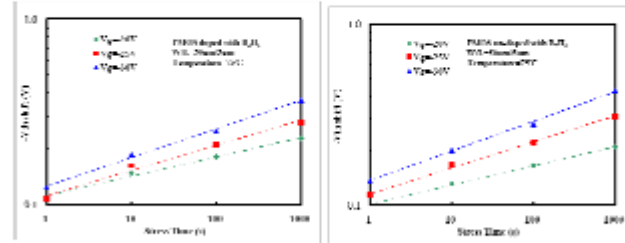


Fig.2(a)

Fig.2(b)

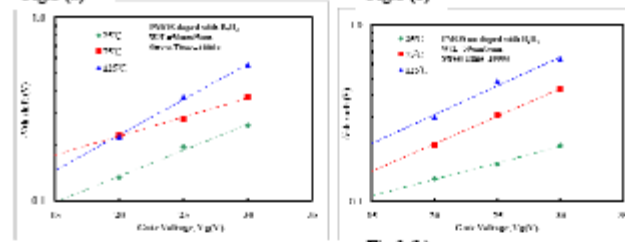


Fig.3(a)

Fig.3(b)

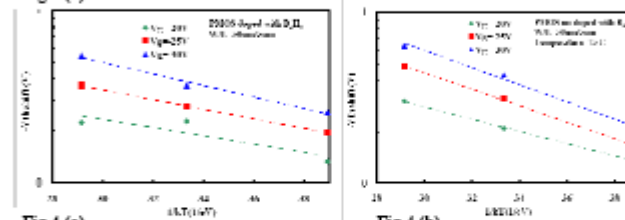


Fig.4(a)

Fig.4(b)

Table.1

Doped with B ₂ H ₆	V _g =20V	V _g =25V	V _g =30V	E ₀ -doped with B ₂ H ₆	V _g =20V	V _g =25V	V _g =30V
n	0.11	0.14	0.15	n	0.11	0.14	0.16
C	T=25°C	T=75°C	T=125°C	C	T=25°C	T=75°C	T=125°C
	0.21	0.11	0.21		0.1	0.17	0.17
E _a (eV)	V _g =20V	V _g =25V	V _g =30V	E _a (eV)	V _g =20V	V _g =25V	V _g =30V
	0.16	0.14	0.12		0.18	0.25	0.25

Photo reliability of P-type Low-Temperature Polycrystalline Silicon Thin-Film Transistors

Y. S. Lee^{*}, T. M. Tai¹, J. Y. Chang², H. Y. Luo³, Jack Tsai³, and Antonia Ye³

^{*}Department of Optoelectronic System Engineering, Minghsin University of Science & Technology
1 Hsin-Hsing Road, Hsin-Fong, Hsin-Chu, Taiwan, 30401, R.O.C., Tel: 886-3-5593142-3383, Fax: 886-35593142-3388,
e-mail: yslee@must.edu.tw

¹Institute of Electronics, Minghsin University of Science & Technology
Hsin-Fong, Hsin-Chu, Taiwan, 30401, R.O.C.

²Department of Optoelectronic System Engineering, Minghsin University of Science & Technology
Hsin-Fong, Hsin-Chu, Taiwan, 30401, R.O.C.

³TPO Displays Corporation, Miaoli 350, Taiwan, R.O.C.

1. Introduction

The thin film transistors (TFT) are a key device in liquid crystal display (LCD). Comparing TFT device with general logic MOSFET (metal-oxide-semiconductor field effect transistor), TFT devices are directly exposure by the light from the backlight source of TFT-LCD. Therefore, if the impact of light produces the instability operation of this device with continuous-wave (CW) green laser anneal to form a crystallization (CLC) poly-Si channel [1], this phenomenon should be checked whether this effect is serious. Exposure of low-temperature poly-Si TFTs (LTFS) to backlight induces a photo leak current that degrades the image quality of liquid-crystal displays and increases their power consumption.[2]In this study, the species of the light sources of light emitting diodes (LEDs) illuminating on LTFS p-TFT with different W/L (width/length) devices included yellow-green, blue and white-color wavelengths. By analysis Id-Vg transfer curves, the effects of photo intensity on devices reliability parameters, e.g. threshold voltage (V_{th}) shift, degradation of sub-threshold swing (S.S.), mobility (μ), drive current(I_{on}), and off current (I_{off}) can be investigated as a photo reliability test.

2. Method of approach

Brief fabrication and device parameters

LTFS p-TFT device was fabricated by the excimer laser annealing to produce silicon active channel. Moreover, the gate dielectric material, SiOx was deposited with 1000Å of thickness by plasma-enhanced chemical vapor deposition (PECVD) at 300°C. A schematics prototype of LTFS p-TFT device with different W/L (width/length) was shown as Fig.1. PMOS devices W (um)/L (um) at 5/3.6, 5/5, 5/6, 50/3.6, 50/5, and 50/6 were investigated.

Measurement method

I_d - V_g transfer curves of PMOS devices were measured by Agilent 4156C Precision Semiconductor Parameter Analyzer. The measuring conditions were set as V_d at -0.1 and -10V, V_s at ground level, and V_g at +15V~-15V. Light intensity and central wavelength of light emitting diodes (LEDs) illuminating on LTFS p-TFT included yellow-green, blue and white-color were measured by USB4000 Miniature Fiber Optic Spectrometer.

3. Results and Discussion

Fig.2 shows the different I_d vs. V_g transfer curves at $V_d=-10V$ of PMOS device with W/L =5/5 illuminated by different light sources and intensity of light emitting diodes (LEDs) included yellow-green, blue and white-color wavelengths. Fig.3 shows only the same transfer curves of PMOS device with W/L =5/5 illuminated by different light intensity of yellow-green color LEDs. The left-bottom inserted diagram is Id-Vg curves of the PMOS device with W/L=50/5, $V_d=-10V$ for comparison. Table I shows centre wavelength and integral intensity of different backlight sources measured by USB4000 Spectrometer. In Fig.3 and Table I, $I_{off}(V_d=-10V)$ values were increased with increasing of backlight integral intensity. Nevertheless, in Fig.2 and Table I, V_{th} variations with different wavelengths of LEDs included yellow-green, blue and white-color at same backlight intensity are not very obvious. The photons impact with P-N junction, and creating electron-hole pairs and contributing into the normal current, then I_{off} was increased. [2] Same I_{off} trend for the PMOS device with W/L=50/5, $V_d=-10V$ was revealed in the inserted diagram of Fig.3.

Fig.4 shows the I_d - V_g transfer curves at $V_d=0.1V$ of the PMOS device with W/L =5/5 illuminated by different light intensity of yellow-green color LEDs. Threshold voltage, V_{th} was shifted to positive values by increasing backlight intensity of yellow-green color LEDs. Same V_{th} shift trend for the PMOS device with W/L=50/5, $V_d=0.1V$ was revealed in the inserted diagram of Fig.4.

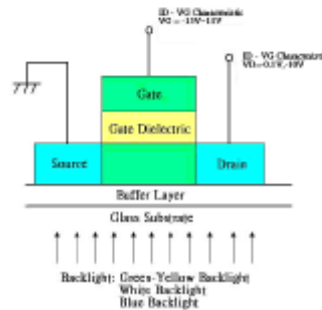


Fig.1.Measurement model diagram

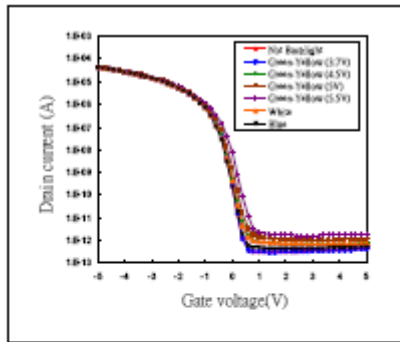


Fig.2 I_d vs. V_g transfer curves at $V_d = -10V$ of PMOS device with $W/L = 5/5$ illuminated by different light sources and intensity of light emitting diodes (LEDs) included yellow-green, blue and white-color wavelengths.

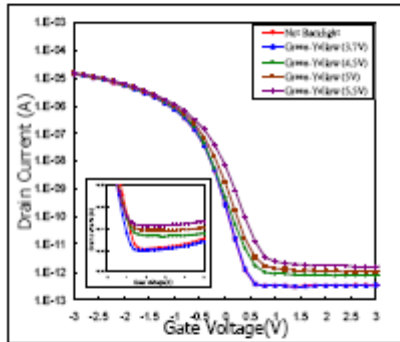


Fig.3 I_d - V_g transfer curves of PMOS device with $W/L = 5/5$ illuminated by different light intensity of yellow-green color LEDs. The left-bottom inserted diagram is I_d - V_g curves of the PMOS device with $W/L = 50/5$, $V_d = -10V$ for comparison.

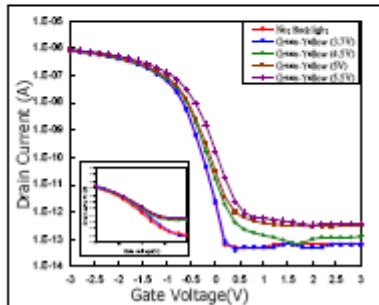


Fig.4 I_d - V_g transfer curves at $V_d = 0.1V$ of PMOS device

with $W/L = 5/5$ illuminated by different light intensity of yellow-green color LEDs. The left-bottom inserted diagram is I_d - V_g curves of the PMOS device with $W/L = 50/5$, $V_d = -10V$ for comparison.

Table I. centre wavelength and integral intensity of different backlight sources measured by USB4000 Spectrometer.

Backlight	Centre Wave-length (nm)	Intensity ($\times 10^6$) (arbitrary units)
Green-Yellow (3.7V)	570.45	1.040
Green-Yellow (4.5V)	575.89	1.340
Green-Yellow (5V)	577.72	1.457
Green-Yellow (5.5V)	581.82	1.570
White	557.75	1.155
Blue	460.54	1.048

4. Conclusion

I_{off} values were increased with increasing of backlight integral intensity of yellow-green color LEDs. Nevertheless, I_{off} variations with different wavelengths of LEDs included yellow-green, blue and white-color at same backlight intensity are not very obvious. Threshold voltage, V_{th} was shifted to positive values by increasing backlight intensity of yellow-green color LEDs. Same I_{off} and V_{th} shift variations of the PMOS device with $W/L = 50/5$ with backlight integral intensity were revealed.

Acknowledgements

This work was supported by the TPO Displays Corporation, Miao-Li 360, Taiwan, R.O.C. under Contract No. 200801-111.

References :

- [1] M.C. Wang, Z.Y. Hsieh, C. Chen, Y.T. Lin, C.H. Tu, S.Y. Chen, H.S. Huang "Verification of Visible-Light Impact on CLC Poly-Si n-TFT Device." Meet. Abstract. Electrochem. Soc. 802, 2269 (2008).
- [2] Sumiki, K. Takanuchi, F. Ebiko, Y. Chida, M. Sasaki, N. "Analytical Photo Leak Current Model of Low Temperature CW Laser Lateral Crystallization." Electron Devices Meeting, 2004 IEDM Technical Digest. IEEE International, pp.786-788.

